

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP2246125
Publication date: 1990-10-01
Inventor(s): MURAKAMI HAJIME; others: 02
Applicant(s):: HITACHI LTD
Requested Patent: ☐ JP2246125
Application Number: JP19890065844 19890320
Priority Number(s):
IPC Classification: H01L21/60
EC Classification:
Equivalents: JP2702219B2

25

Abstract

PURPOSE:To reduce a stray capacity between a semiconductor chip and a lead, to enhance a signal transmission speed and to reduce an electrical noise by forming a stepped structure in a manner that an interval between the semiconductor chip on the side of an outer lead from a part bonded to an insulating film and an inner lead is wider than an interval between the part bonded to the insulating film and the semiconductor chip.

CONSTITUTION:At a lead frame, 20 inner leads 3A1 for signal use and two inner leads 3A2 for common use are installed. Regarding inner leads 3A (the inner leads 3A1 for signal use and the inner leads 3A2 for common use), a stepped structure is formed in such a way that an interval between a part on the side of outer leads 3B from a part bonded to their insulating film (insulator) 4 and a semiconductor chip 1 is wider than an interval between the part bonded to the insulating film 4 and the semiconductor chip 1. When the inner leads 3A are formed as the stepped structure in this manner, a stray capacity between the semiconductor chip and the leads is made small as compared with that of conventional structures; accordingly, a signal transmission speed can be enhanced and an electrical noise can be reduced.

Data supplied from the esp@cenet database - I2

訂正有り

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-246125

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月1日

H 01 L 21/60

3 0 1 B

6918-5F

審査請求 未請求 請求項の数 44 (全52頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平1-65844

⑯ 出 願 平1(1989)3月20日

⑰ 発 明 者 村 上 元 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑰ 発 明 者 坪 崎 邦 宏 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑰ 発 明 者 一 谷 昌 弘 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑰ 発 明 者 西 邦 彦 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑰ 代 理 人 弁理士 秋田 収喜
最終頁に続く

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードが前記半導体チップと電気的に絶縁する絶縁体を介在して接着され、かつ前記半導体チップの回路形成面上に、複数の信号用インナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着され、該インナーリード及び共用インナーリードと半導体チップとが夫々ボンディングワイヤで電気的に接続され、モールド樹脂で封止される半導体装置であって、前記インナーリードは、前記絶縁体と接合する部分よりアウターリード側の前記半導体チップとインナーリードとの間隔が、前記絶縁体と接合する部分の間隔より広くなっていることを特徴とする半導体装置。

2. 前記絶縁体の占める面積が半導体チップ面積

に対して少なくとも1/2以下であることを特徴とする請求項1に記載の半導体装置。

3. 前記絶縁体と半導体チップの回路形成面とを接合する面積が製造上可能な最小限の値となっていることを特徴とする請求項1に記載の半導体装置。

4. 前記絶縁体が前記インナーリードの一部を含む樹脂成形体からなっていることを特徴とする請求項1に記載の半導体装置。

5. 前記絶縁体の材料は、下記の複数条件のうち少なくとも2条件を満足するものであることを特徴とする請求項1乃至4の各項に記載の半導体装置。

(1) 飽和吸湿率が封止レジソと同等度もしくはそれ以下であること。

(2) 10³Hz、常温乃至200℃において誘電率が4.0以下であること。

(3) 温度200℃でのバーコル硬度(GYZJ 834-1)が20以上であること。

(4) ウラン、トリウム含有量が1ppb以下で1

- 20℃、100時間抽出した場合の可溶性ハロゲン元素量10ppm以下であること、
- (5) 半導体チップ及びインナーリードとの接着性が良好であること、
- (6) 熱膨張係数が $20 \times 10^{-6}/^{\circ}\text{C}$ 以下であること、
- (7) 熱可塑性樹脂の場合には、そのガラス転移温度が220℃以上であること、
6. 半導体チップの回路形成面上に、複数のインナーリードの全部が半導体チップの回路形成面から浮いた状態で配設され、前記複数のインナーリードのうち通電しないインナーリードの部分で前記半導体チップが接着固定され、当該インナーリード以外のインナーリードと半導体チップとをボンディングワイヤで電気的に接続し、モールド樹脂で封止されたことを特徴とする半導体装置、
7. 半導体チップの回路形成面上に、複数のインナーリードが半導体チップの回路形成面から浮いた状態で配設され、前記半導体チップの回路

8に配設の半導体装置、

10. 前記放熱用リードの一端が、半導体チップの回路形成面の発熱部分の上部まで延長されていることを特徴とする請求項8又は9に記載の半導体装置、
11. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、パッケージの長手方向の側面の中央部の半導体チップの回路形成面と反対側の面上に、電気的に前記半導体チップと絶縁された放熱用リードの一端が設けられ、該放熱用リードの他端が半導体チップの回路形成面のパッケージ外部の上部又は半導体チップの回路形成面と反対側の面のパッケージ外部の下部まで延長されていることを特徴とする半導体装置、
12. 前記放熱用リードの外部位置に放熱板が設

形成面と反対側の面が前記インナーリードの一部で絶縁体を介して接着固定され、前記インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止されたことを特徴とする半導体装置、

8. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、パッケージの長手方向の側面の中央部の半導体チップの回路形成面上に、前記半導体チップと電気的に絶縁された放熱用リードの一端が設けられ、該放熱用リードの他端が半導体チップの回路形成面のパッケージ外部の上部まで延長されていることを特徴とする半導体装置、
9. 前記放熱用リードの他端が、半導体チップの回路形成面と反対側の面のパッケージ外部の下部まで延長されていることを特徴とする請求項

けられていることを特徴とする請求項8乃至11の各項に記載の半導体装置、

13. 前記半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードを配設したことを特徴とする請求項6乃至12の各項に記載の半導体装置、
14. ボンディングワイヤに絶縁材被覆したことを特徴とする請求項1乃至12の各項に記載の半導体装置、
15. 前記半導体チップの回路形成面に、その回路形成面上に配線されるボンディングワイヤと共用インナーリードと交差することのないボンディングパッドを配設したことを特徴とする請求項1乃至6の各項又は請求項13に記載の半導体装置、
16. 前記モールド樹脂材料は、熱硬化性樹脂に、粒度分布 $0.1 \sim 100 \mu\text{m}$ 、平均粒径が $5 \sim 20 \mu\text{m}$ 、最大充填密度が0.8以上の実質的に球形の無機フィラーを70重量百分率(%)以上配合した樹脂組成物であることを特徴とす

- る請求項1乃至15の各項に記載の半導体装置。
17. 前記モールド樹脂材料は、前記熱硬化性樹脂として、フェノール硬化型エポキシ樹脂、レゾール型フェノール樹脂、ビスマレイミド樹脂のうち少なくとも一種を主成分として用いた樹脂組成物であることを特徴とする請求項16に記載の半導体装置。
18. 前記モールド樹脂材料は、前記熱硬化性樹脂として、レゾール型フェノール樹脂あるいはビスマレイミド樹脂のいずれかを主成分とし、かつ、その成形品は215℃の曲げ強度が3kgf/mm²以上であることを特徴とする請求項16又は17に記載の半導体装置。
19. 前記モールド樹脂材料は、無機フィラとして粒度分布0.1~100μm、平均粒径が5~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカであることを特徴とする請求項16乃至18の各項に記載の半導体装置。
20. 前記モールド樹脂材料は、無機フィラとして粒度分布0.1~100μm、平均粒径が5

化点を有する熱可塑性樹脂あるいは熱硬化性樹脂から選ばれる粒径が一定の球形の微粒子が配合されていることを特徴とする請求項1乃至21の各項に記載の半導体装置。

23. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、又は半導体チップの回路形成面から浮いた状態で配設され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップのボンディングパッド以外の回路形成領域全域にα線遮蔽用ポリイミド膜が被覆され、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に絶縁膜が形成されていることを特徴とする請求項1乃至22の各項に記載の半導体装置。

24. 前記絶縁体は、印刷の可能な無機フィラを含有する熱硬化性樹脂であることを特徴とする

~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカを組成物全体に対して67.6体積百分率(vol%)以上配合され、成形品は線膨張係数が $1.4 \times 10^{-6}/^{\circ}\text{C}$ 以下であることを特徴とする請求項16乃至18の各項に記載の半導体装置。

21. 封止材料は、10質量のイオン交換水と混合し、120℃で100時間抽出した場合に抽出液のpHが3~7、電気導電度が200μS/cm以下、ハロゲンイオン、アンモニウムイオン並びに金属イオンの抽出量が10ppm以下であることを特徴とする請求項16乃至20に記載の半導体装置。

22. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記接着剤にフィラとして無機又は接着温度よりも高い軟

請求項23に記載の半導体装置。

25. 前記絶縁体の占める面積がチップ面積に対して少なくとも1/2以下であることを特徴とする請求項23又は24の各項に記載の半導体装置。

26. 前記半導体チップの回路形成面と反対側の面にポリイミド膜が形成されていることを特徴とする請求項23乃至25の各項に記載の半導体装置。

27. 少なくとも、半導体ウェハに溶剤剥離性ドライフィルムを張り付け、通常の露光、現像工程を経たのち、ペースト状の絶縁体を塗布しスキャージにより埋込み、加熱してキュアし、フィルムを剥離する工程を含むウェーハプロセスにより前記絶縁体が高密度に形成される工程を備えたことを特徴とする請求項23乃至26の各項に記載の絶縁体の形成方法。

28. 前記絶縁体が、ソルダレジスト用ドライフィルムの露光、現像により形成される工程を備えたことを特徴とする請求項26に記載の絶縁

膜の形成方法。

29. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記インナーリードの半導体チップ対向面のチップ最近接面の全面又は一部に絶縁フィルムが配設されたことを特徴とする半導体装置。

30. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、半導体チップの回路形成面の一部あるいは全面をモールド樹脂よりも可塑性あるいは流動性のある物質で覆ってその物質がボンディングワイヤの一部分あるいは全体を覆うようにせしめ、その外側が

34. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの非回路形成面に凹部又は凸部が設けられたことを特徴とする半導体装置。

35. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの非回路形成面に複数の溝が設けられたことを特徴とする半導体装置。

36. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディ

ングワイヤで電気的に接続され、モールド樹脂で封止されたことを特徴とする半導体装置。

31. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの回路形成面の一部あるいは全面をボンディング樹脂で覆ってその樹脂がボンディングワイヤの一部分あるいは全体を覆うようにせしめ、その外側がモールド樹脂で封止されたことを特徴とする半導体装置。

32. 前記半導体チップの非回路形成面側を覆うモールド樹脂外表面の一部に凹部が設けられ、半導体チップの一部を実質上露出させることを特徴とする請求項31に記載の半導体装置。

33. 前記半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードが設けられたことを特徴とする請求項30乃至32の各項に記載の半導体装置。

ングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの回路形成面と反対側の面に酸化珪素膜を残した状態で、凹部又は凸部もしくは複数の溝が設けられたことを特徴とする半導体装置。

37. 半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記インナーリードの半導体チップと接着している部分からパッケージの外壁までの距離が、半導体チップの回路形成面の反対側の面からパッケージの外壁までの距離より大きいことを特徴とする半導体装置。

38. インナーリードとのボンディングパッドが鏡面対称に設けられた2個の半導体チップと、該2個の半導体チップの回路形成面側でインナーリードを挟んで該インナーリードと半導体チ

チップのボンディングパッドとを電気的に接続し、モールド樹脂で封止したことを特徴とする請求項1乃至37の各項に記載の半導体装置。

39. 前記半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードが配設されたことを特徴とする請求項34乃至38の各項に記載の半導体装置。

40. 樹脂封止型半導体装置において、該樹脂封止型半導体装置の搭載基板に対向する表面に、少なくとも1本の放熱用溝が設けられ、この放熱用溝の両端が半導体装置の側面において外部に向けて開口していることを特徴とする請求項1乃至39の各項に記載の半導体装置。

41. 前記半導体装置において、前記放熱用溝が設けられている半導体装置の面と反対側の面に、この放熱用溝と同じ向きに第2の放熱用溝が設けられ、この第2の放熱用溝の両端が半導体装置の側面において外部に向けて開口していることを特徴とする請求項40に記載の半導体装置。

42. 前記半導体装置において、半導体装置の搭

めし、取り付けのために、いくつかの方法が用いられている。

例えば、中央にタブを有するリード・フレームを用いるもので、半導体チップを封入前に取付け使用する。この従来技術では、半導体チップの周囲近くにある電極パッドを、それに対応するインナーリードにボンディングワイヤで接続する方法が知られている。

従来技術による半導体パッケージに共通の問題は、金属リード・フレームのリード線の出口となる金型のパーティング・ラインに沿って、亀裂を生じることであった。

また、他の問題は、外部から半導体チップへ、金属リード線に沿って環境中の汚染源が侵入する経路が比較的短いことである。

さらに、他の問題は、インナーリードを半導体チップの電極パッドに接続するために必要なボンディングワイヤが比較的長いため、かつ交互に入出力端子を割当てするために、ボンディングワイヤを交差させることができないことであった。

載基板に対向する表面に設けられた放熱用溝の底面におけるモールド樹脂の厚さが、0.3mm以下であることを特徴とする請求項41又は請求項42に記載の半導体装置。

43. 前記半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードが配設されたことを特徴とする請求項40乃至42の各項に記載の半導体装置。

44. 請求項40乃至請求項42の各項に記載の半導体装置を互いの放熱用溝が連なるように搭載基板に実装したことを特徴とする電子装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特に、高集積度の大規模集積回路のパッケージに適用して有効な技術に関するものである。

(従来技術)

従来、半導体チップを保護するために樹脂で半導体チップをモールドして封止している。この封止を行う前に、半導体チップ上にリードを位置決

そこで、前記問題を解消するために、半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと絶縁フィルムを介在させて接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの回路形成面の長手方向の中心線の近傍に共用インナーリード（バスバーインナーリード）が設けられた半導体装置が提案された（特開昭61-241959号公報）。

(発明が解決しようとする課題)

しかしながら、本発明者は、前述の従来の半導体装置を検討した結果、以下の問題点を見出した。

すなわち、従来の半導体装置では、(1)半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと絶縁フィルムを介在させて接着剤で接着されているが、前記インナーリードと半導体チップとの間の浮遊容量が大きくなるため、信号伝送速度がその浮遊容量の大きくな

った分だけ速くなると共に電気ノイズも大きくなるという問題があった。

(2) 前記絶縁フィルムの面積が大きいため、吸湿水分量が多くなり、リフロー時にその吸湿された水分がパッケージの中で気化膨張してパッケージクラックが発生するという問題があった。

(3) 前記絶縁フィルムの材料にポリイミド系の樹脂を使用しているため、吸湿水分量が多くなり、リフロー時にその吸湿された水分がパッケージの中で気化膨張してパッケージクラックが発生するという問題があった。

(4) 前記接着剤の材料にアクリル系の樹脂を使用しているため、プレッシャクッカテスト等で接着剤が劣化し、リード間の電気的リーク及びアルミニウム電極腐食等の問題で信頼性が劣下するという問題があった。

(5) アルファ(α)線対策用のポリイミド系の樹脂コートを半導体チップの回路形成面全体にコートしていないので、アルファ(α)線によるエラーが発生するという問題があった。

腐防止(モールド)時に半導体チップが移動するので、生産性が悪いという問題があった。

本発明の目的は、半導体装置の信頼性を向上することができる技術を提供することにある。

本発明の目的は、半導体装置において、半導体チップとリード間の浮遊容量による信号伝送速度の向上及び電気ノイズの低減を図ることができる技術を提供することにある。

本発明の他の目的は、半導体装置において、発熱された熱の放熱効率の向上を図ることができる技術を提供することにある。

本発明の他の目的は、半導体装置において、リフロー時の熱の影響を低減することができる技術を提供することにある。

本発明の他の目的は、半導体装置において、温度サイクルにおける熱の影響を低減することができる技術を提供することにある。

本発明の他の目的は、半導体装置において、成形欠陥の発生を防止することができる技術を提供することにある。

(6) 共用インナーリード(バスバーインナーリード)を放熱板としているが、発熱部の大きい素子部上にインナーリードが全面に覆われていないので、1ワット以上の素子においては放熱が不充分であるという問題があった。

(7) 前記ポリイミド系の樹脂からなる絶縁フィルムの面積が大きいため、温度サイクルに弱いという問題があった。

(8) 前記共用インナーリード(バスバーインナーリード)を越えてワイヤボンディングするので、生産性が悪いという問題があった。

(9) 前記接着層が軟らかいためワイヤボンディング条件の設定が困難であるので、生産性が悪いという問題があった。

(10) 前記絶縁フィルムを半導体チップに取り付けるための作業性が悪いので、生産性が悪いという問題があった。

(11) 前記半導体チップはインナーリードの一部によって固定されているのみであるため、半導体チップの固定が不充分である。このために、樹

本発明の他の目的は、半導体装置において、生産性の向上を図ることができる技術を提供することにある。

本発明の他の目的は、半導体装置において、耐湿性の向上を図ることができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

1. 半導体チップの主面のX方向又はY方向の中心線の近傍に共用インナーリードが前記半導体チップと電気的に絶縁する絶縁体を介在して接合され、かつ前記半導体チップの主面上に、複数の信号用インナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接合され、該インナーリード及び共用インナーリードと半導体チ

ップとが夫々ボンディングワイヤで電氣的に接続され、モールド樹脂で封止される半導体装置であつて、前記インナーリードは、前記絶縁体と接合する部分よりアウトナーリード側の前記半導体チップとインナーリードとの間隔が、前記絶縁体と接合する部分の間隔より広くなっている半導体装置である。

2. 前記1項の絶縁体の占める面積は半導体チップ面積に対して少なくとも1/2以下である。

3. 前記1項の絶縁体と半導体チップの主面とを接合する面積が製造上可能な最小限の値となっている。

4. 前記1項乃至3項の各項の絶縁体は前記インナーリードの一部を含む樹脂成形体からなっている。

5. 前記1項乃至4の各項の絶縁体の材料は、下記の複数条件のうち少なくとも2条件を満足するものである。

(1) 飽和吸湿度が封止レジソと同程度もしくはそれ以下であること。

れた半導体装置である。

7. 半導体チップの主面上に、複数のインナーリードが半導体チップの主面から浮いた状態に配設され、前記半導体チップの主面と反対側の面が前記インナーリードの一部で絶縁体を介して接着固定され、前記インナーリードと半導体チップとがボンディングワイヤで電氣的に接続され、モールド樹脂で封止された半導体装置である。

8. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電氣的に絶縁する絶縁体を介在して接着され、該インナーリードと半導体チップとがボンディングワイヤで電氣的に接続され、モールド樹脂で封止された半導体装置において、パッケージの長手方向の側面の中央部の半導体チップの主面上に、電氣的に前記半導体チップと絶縁された放熱用リードの一端が設けられ、該放熱用リードの他端が半導体チップの主面のパッケージ外部の上部まで延長されている半導体装置である。

9. 前記8項の放熱用リードの他端が、半導体

(2) 10^3 Hz、常温乃至200℃において誘電率が4.0以下であること。

(3) 硬度200℃でのバーコル硬度 (QYZ J934-1) が20以上であること。

(4) ウラン、トリウム含有量が1ppb以下で120℃、100時間抽出した場合の可溶性ハロゲン元素量10ppm以下であること。

(5) 半導体チップ及びインナーリードとの接着性が良好であること。

(6) 熱膨張係数が $20 \times 10^{-6}/^{\circ}\text{C}$ 以下であること。

(7) 熱可塑性樹脂の場合には、そのガラス転移温度が220℃以上であること。

6. 半導体チップの主面上に、複数のインナーリードの全部が半導体チップの主面から浮いた状態で配設され、前記複数のインナーリードのうち導電しないインナーリードの部分で前記半導体チップが接着固定され、当該インナーリード以外のインナーリードと半導体チップとをボンディングワイヤで電氣的に接続し、モールド樹脂で封止さ

チップの主面と反対側の面のパッケージ外部の下部まで延長されている。

10. 前記8項又は9項の放熱用リードの一端が、半導体チップの主面の発熱部分の上部まで延長されている。

11. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電氣的に絶縁する絶縁体を介在して接着され、該インナーリードと半導体チップとがボンディングワイヤで電氣的に接続され、モールド樹脂で封止された半導体装置において、パッケージの長手方向の側面の中央部の半導体チップの主面と反対側の面上に、電氣的に前記半導体チップと絶縁された放熱用リードの一端が設けられ、該放熱用リードの他端が半導体チップの主面のパッケージ外部の上部又は半導体チップの主面と反対側の面のパッケージ外部の下部まで延長されている半導体装置である。

12. 前記8項乃至11項の各項において、放熱用リードの外部位置に放熱板が設けられている。

13. 前記8項乃至12項の各項において、半

導体チップの主面のX方向又はY方向の中心線の近傍に共用インナーリードを配設したものである。

14. 前記1項乃至12項の各項において、ボンディングワイヤに絶縁材被覆したものである。

15. 前記1項乃至6項の各項又は13項の半導体チップの主面に、その主面上に配設されるボンディングワイヤと共用インナーリードと交差することのないボンディングパッドを配設したものである。

16. 前記1項乃至15項の各項のモールド樹脂材料は、熱硬化性樹脂に、粒度分布 $0.1 \sim 100 \mu\text{m}$ 、平均粒径が $5 \sim 20 \mu\text{m}$ 、最大充填密度が0.8以上の実質的に球形の無機フィラを70重量百分率(wt%)以上配合した樹脂組成物である。

17. 前記16項のモールド樹脂材料は、前記熱硬化性樹脂として、フェノール硬化型エポキシ樹脂、レゾール型フェノール樹脂、ビスマレイミド樹脂のうち少なくとも一種を主成分として用いた樹脂組成物である。

Hが3~7、電気導度が $200 \mu\text{S}/\text{cm}$ 以下、ハロゲンイオン、アンモニウムイオン並びに金属イオンの抽出量が10ppm以下である。

22. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記接着剤にフィラとして無機又は接着強度よりも高い軟化点を有する熱可塑性樹脂あるいは熱硬化性樹脂から選ばれる粒径が一定の球形の微粒子が配合されている。

23. 前記1項乃至22項の各項に半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、又は半導体チップの主面から浮いた状態で配設され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップのボンディングパッド以

18. 前記16項又は17項のモールド樹脂材料は、前記熱硬化性樹脂として、レゾール型フェノール樹脂あるいはビスマレイミド樹脂のいずれかを主成分とし、かつ、その成形品は 215°C の曲げ強度が $3 \text{ kgf}/\text{mm}^2$ 以上である。

19. 前記16項乃至18項の各項のモールド樹脂材料は、無機フィラとして粒度分布 $0.1 \sim 100 \mu\text{m}$ 、平均粒径が $5 \sim 20 \mu\text{m}$ 、最大充填密度が0.8以上の実質的に球形の溶融シリカである。

20. 前記16項乃至19項の各項のモールド樹脂材料は、無機フィラとして粒度分布 $0.1 \sim 100 \mu\text{m}$ 、平均粒径が $5 \sim 20 \mu\text{m}$ 、最大充填密度が0.8以上の実質的に球形の溶融シリカを組成物全体に対して67.5体積百分率(vol%)以上配合され、成形品は線膨張係数が $1.4 \times 10^{-4}/^\circ\text{C}$ 以下である。

21. 前記16項乃至20項の各項のモールド樹脂材料は、10倍量のイオン交換水と混合し、 120°C で100時間抽出した場合に抽出液のp

外の回路形成領域全域に、絶縁層用ポリイミド膜が被覆され、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所と絶縁膜が形成されている。

24. 前記23項の絶縁体は、印刷の可能な無機フィラを含有する熱硬化性樹脂である。

25. 前記絶縁体の占める面積がチップ面積に対して少なくとも $1/2$ 以下であることを特徴とする請求項23又は24の各項に記載の半導体装置。

26. 前記23項乃至25項の各項の半導体チップの主面と反対側の面にポリイミド膜が形成されている。

27. 前記23項乃至26項の各項において、少なくとも、半導体ウェハに溶剤可溶性ドライフィルムを張り付け、通常の露光、現像工程を経たのち、ペースト状の絶縁体を塗布しスキージにより埋込み、加熱してキュアし、フィルムを剥離する工程を含むウェハプロセスにより前記絶縁体が高精度に形成される工程を備えたものである。

28. 前記26項の絶縁体が、ソルダレジスト用ドライフィルムの露光、現像により形成される工程を備えたものである。

29. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記インナーリードの半導体チップ対向面のチップ最近接面の全面又は一部に絶縁フィルムが配設されたものである。

30. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、半導体チップの主面の一部あるいは全面をモールド樹脂よりも可塑性あるいは流動性のある物質で覆ってその物質がボンディングワイヤの一部分あるいは全体を覆うようにせ

ーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの非主面に凹部又は凸部が設けられたものである。

35. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの非主面に複数の溝が設けられたものである。

36. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの主面と反対側の面に酸化珪素膜を残した状態で、凹部又

しめ、その外側が樹脂で封止されたものである。

31. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの主面の一部あるいは全面をポッティング樹脂で覆ってその樹脂がボンディングワイヤの一部分あるいは全体を覆うようにせしめ、その外側がモールド樹脂で封止されたものである。

32. 前記半導体チップの非主面側を覆うモールド樹脂外表面の一部に凹部が設けられ、半導体チップの一部を実質上露出させることを特徴とする請求項31に記載の半導体装置。

33. 前記30項乃至32項の各項において、半導体チップの主面のX方向又はY方向の中心線の近傍に共用インナーリードが設けられたものである。

34. 半導体チップの主面上に、複数のインナ

ーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの非主面に凹部又は凸部が設けられたものである。

37. 半導体チップの主面上に、複数のインナーリードが、前記半導体チップと電気的に絶縁する絶縁体を介在して接着剤で接着され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記インナーリードの半導体チップと接着している部分からパッケージの外壁までの距離が、半導体チップの主面の反対側の面からパッケージの外壁までの距離より大きいものである。

38. 前記1項乃至37項の各項にインナーリードとのボンディングパッドが鏡面対称に設けられた2個の半導体チップと、該2個の半導体チップの主面側でインナーリードを挟んで該インナーリードと半導体チップのボンディングパッドとを電気的に接続し、モールド樹脂で封止したものである。

39. 前記34項乃至38項の各項において、半導体チップの主面のX方向又はY方向の中心線

の近傍に共用インナーリードが配設されたものである。

40. 前記1項乃至39項の各項の樹脂封止型半導体装置において、該樹脂封止型半導体装置の搭載基板に対向する表面に、少なくとも1本の放熱用溝が設けられ、この放熱用溝の両端が半導体装置の側面において外部に向けて開口しているものである。

41. 前記40項の半導体装置において、前記放熱用溝が設けられている半導体装置の面と反対側の面に、この放熱用溝と同じ向きに第2の放熱用溝が設けられ、この第2の放熱用溝の両端が半導体装置の側面において外部に向けて開口している。

42. 前記41項又は42項の半導体装置において、半導体装置の搭載基板に対向する表面に設けられた放熱用溝の底面におけるモールド樹脂の厚さが、0.3mm以下である。

43. 前記40項乃至42項の各項において、半導体チップの主面のX方向又はY方向の中心線

また、これにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

前記3項の手段によれば、絶縁膜と半導体チップの主面とを接合する面積が製造上可能な最小限の値としたことにより、絶縁膜による吸熱量を最小限にするので、リフロー時における熱の影響及び温度サイクルによる熱の影響を低減することができる。また、これにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

前記4項の手段によれば、半導体チップの主面上の絶縁体を前記インナーリードの一部を含む樹脂成形体で半導体チップとインナーリードとの間の距離を充分大きく取ることにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

の近傍に共用インナーリードが配設されたものである。

44. 前記40項乃至43項の各項に記載の半導体装置を互いの放熱用溝が直なるように搭載基板に実装したものである。

〔作用〕

前記1項の手段によれば、インナーリードは、絶縁膜と接合する部分よりアウターリード側の半導体チップとインナーリードとの間隔が、前記絶縁膜と接合する部分の間隔より広くなるような段差構造にしたので、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

前記2項の手段によれば、半導体チップの主面上の絶縁膜の占める面積がチップ面積に対して少なくとも1/2以下であるので、絶縁膜による吸熱量を低減するので、リフロー時における熱の影響及び温度サイクルによる熱の影響を低減することができる。

また、成形樹脂として封止樹脂（例えば、レジン）と相性の良い材料を選択するので、成形樹脂と封止樹脂（モールド樹脂）との間の剥離を低減することができる。その結果、インナーリード間におけるリークを低減することができる。

前記5項の手段によれば、半導体素子によって最適な絶縁体を選択することができる。

前記6項の手段によれば、複数のインナーリードのうち通電しないインナーリードの部分で、半導体チップが接合固定され、他のインナーリードは、半導体チップ主面上に、それから離れて（電気的に絶縁されて）配設されることにより、絶縁膜を使用しないので、耐湿性の向上を図ることができる。また、絶縁膜を接合する工程が不要となる。

前記7項の手段によれば、半導体チップの主面上に、複数のインナーリードが、前記半導体チップ主面上に、それから離れて（電気的に絶縁されて）配設され、前記半導体チップの主面と反対側の面がインナーリードの一部で絶縁膜を介して接

着固定されることにより、半導体チップの主面上にインナーリードが接着されないので、半導体チップの主面の破損や傷付けを防止することができる。また、半導体チップの主面上に絶縁膜を使用しないので、耐湿性の向上を図ることができる。

前記8項の手段によれば、パッケージの長手方向の側面の中央部に、電気的に前記半導体チップと絶縁された放熱用リードの一端が設けられ、該放熱用リードの他端が半導体チップの主面のパッケージ外部の上部まで延長されているので、半導体チップの発熱部の熱の放熱効率を向上することができる。

前記9項の手段によれば、前記8項の手段における前記放熱用リードの他端が半導体チップの主面と反対側の面のパッケージ外部の下部まで延長されているので、半導体チップの発熱部の熱の放熱効率を向上することができる。

前記10項の手段によれば、前記9項の手段における放熱用リードの一端が、半導体チップの主面の発熱部分の上部まで延長されているので、半

導体チップの発熱部の熱の放熱効率を向上することができる。

前記11項の手段によれば、前記10項の手段における放熱用リードの一端が、パッケージの長手方向の側面の中央部の半導体チップの主面と反対側の面上に設けられ、該放熱用リードの他端が半導体チップの主面のパッケージ外部の上部又は半導体チップの主面と反対側の面のパッケージ外部の下部まで延長されているので、半導体チップの発熱部の熱の放熱効率を向上することができる。

前記12項の手段によれば、前記請求項8乃至11の各項の手段における前記放熱用リードの外部位置に放熱板が設けられているので、半導体チップの発熱部の熱の放熱効率をさらに向上することができる。

前記13項の手段によれば、前記1項乃至12項の各項の手段における前記半導体チップの主面のX方向又はY方向の中心線の近傍に共通信号線用インナーリード（バスバーインナーリード）を配設したので、小さな面積内で、例えば、半導体チ

ップ内の基準電圧（Vss）や半導体チップ内の電源電圧（Vcc）等のボンディングワイヤをショートさせることなく容易に配線することができる。また、ワイヤボンディングの作業性を向上することができる。

前記14項の手段によれば、前記13項の手段におけるボンディングワイヤに絶縁材を被覆したので、複数の信号線用インナーリードと半導体チップとを接続するためのボンディングワイヤと共通信号線用インナーリードのショートを防止することができる。

前記15項の手段によれば、前記14項の手段における半導体チップの主面に、その主面上に配線されるボンディングワイヤと共用インナーリード（バスバーインナーリード）と交差することのないようにボンディングパッド（外部端子）を配設したので、複数の信号線用インナーリードと半導体チップとを接続するためのボンディング配線用ワイヤと共用インナーリードのショートを防止することができる。

前記16項乃至21の発明によれば、(1) フィラとして、粒度分布0.1~100 μ m、平均粒径が5~20 μ m、最大充填密度が0.8以上の実質的に球形の熔融シリカを用いた封止材料は一面に用いられている角形熔融シリカを用いた場合に比べて熔融粘度が低く、材料の流動性が良好なため、モールドに際し、金（Au）ワイヤやリードを変形させたり、半導体チップを押し流すことがない。また、パッケージの狭い隙間にも良く充填させることができる。

(2) 前記球形の熔融シリカを用いた封止材料は、その材料の熔融粘度や流動性に及ぼす影響が少ないために配合量を増やして材料の低熱膨張化が図れる。そのため、パッケージは耐クラック性が良好である。

(3) 高純度のレゾール型フェノール樹脂やポリイミド樹脂を使用すれば良好な信頼性を得ることができる。

(4) 高純度のレゾール型フェノール樹脂やポリイミド樹脂を用いた封止材料は成形品の耐熱性が

高く、特に、高温の機械強度が優れるためにパッケージを吸湿させた場合の耐リフロー性（パッケージクラック）あるいはリフロー後の耐湿信頼性や耐熱衝撃性を得ることができる。

前記22項の手段によれば、請求項1乃至21の各項の手段における接着剤にフィラとして、一定の粒径の球形の微粒子のフィラを配合するので、半導体チップとリードの隙間を一定（フィラ径と同じ）にコントロールすることができ、半導体チップとリードとの間の容量のバラッキを小さくすることができる。

前記23項の手段によれば、前記1項乃至21項の各項の手段における半導体チップのボンディングパッド以外の回路形成領域全域に α 線遮蔽用ポリイミド膜が被覆され、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所に絶縁膜が形成されているので、前記 α 線遮蔽用ポリイミド膜で回路形成領域全域への α 線を遮蔽することができ、前記絶縁膜で半導体チップを接着固定することができる。

同の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

前記26項の手段によれば、前記22項乃至24項の各項の手段における半導体チップの上面と反対側の面にポリイミド膜が形成されているので、リフロー時の熱により発生するクラックを防止することができる。

前記27項の手段によれば、前記23項乃至26項の各項の手段における絶縁膜が、少なくとも、半導体ウェーハに溶剤剥離形ドライフィルムを張り付け、通常の露光、現像工程を経たのち、ペーस्ट状の絶縁体を塗布しスキージにより均込み、加熱してキュアし、溶剤剥離形ドライフィルムを剥離することを含むウェーハプロセスにより、絶縁膜が高精度にパッチ処理で形成されるので、生産性を向上することができる。

前記28項の手段によれば、前記26項の手段における絶縁膜が、ソルダレジスト用ドライフィルムの露光、現像により形成されるので、生産性

また、半導体チップ上に少なくともインナーリードの先端又は及び吊りリードとが接着される箇所のみに絶縁膜が形成されるので、半導体チップとインナーリードとの間の浮遊容量を低減することができる。

なお、厚膜の絶縁体をウェーハ・プロセスで形成しても、部分的に形成するのでウェーハは反らない。

前記24項の手段によれば、前記23項の手段における絶縁膜が、印刷可能な無機フィラーを含有する熱硬化性樹脂であるので、ウェーハプロセスにおいて、高精度の絶縁膜層を形成することができる。

前記25項の手段によれば、前記23項又は24項の絶縁膜の占める面積がチップ面積に対して $1/2$ 以下であるので、絶縁膜による吸熱量を低減するので、リフロー時における熱の影響及び温度及び温度サイクルによる熱の影響を低減することができる。

また、これにより、半導体チップとリードとの

を向上することができる。

前記29項の手段によれば、半導体チップの回路形成面に、インナーリードと半導体チップ対向面のチップ最近接面の全面又は一部に絶縁膜がリードフレーム状態で形成されることにより、2項又は3項の手段の半導体チップとインナーリードとの間の絶縁膜を容易に提供することができる。また、その生産性を向上することができる。

前記30項の手段によれば、半導体チップの回路形成面の一部あるいは全面を封止樹脂（モールド樹脂）よりも可撓性あるいは流動性のある物質で覆ってその物質がボンディング配線用ワイヤの一部分あるいは全体を覆うようにせしめ、その外側が樹脂で封止されることにより、ボンディング配線用ワイヤにモールド樹脂が直接接触しないので、温度サイクル時に半導体チップと樹脂の間の相対的な熱変形によってボンディング配線用ワイヤが繰返し変形を受け、疲労によって断線するのを防止することができる。

前記31項の手段によれば、半導体チップの主

面の一部あるいは全面をボンディング樹脂で覆ってその樹脂がボンディング配線用ワイヤの一部分あるいは全体を覆うようにせしめ、その外側がモールド樹脂で封止されることにより、ボンディング配線用ワイヤにモールド樹脂が直接接触しないので、温度サイクル時に半導体チップと樹脂との相対的な熱変形によってボンディング配線用ワイヤが繰返し変形を受け、疲労によって断線するのを防止することができる。

前記32項の手段によれば、前記31項の手段における半導体チップの非回路形成面側を覆うモールド樹脂外表面の一部に凹部が設けられ、半導体チップの一部を実質上露出させることにより、ボンディングパッド部の耐湿性不良及び温度サイクル時のワイヤ断線を生じることなく、リフロー半田付け時の樹脂クラックを防止することができる。

ここで、実質上とは、製造工程で不可逆的に半導体チップ表面に生じる樹脂の薄い被膜あるいはパッケージ内部に蒸気圧が発生した場合に容易に

回路形成面に複数の溝が設けられたことにより、モールド樹脂が半導体チップに拘束され、リフロークラックが生じる半導体チップの非回路形成面のコーナ部のモールド樹脂部に発生する応力を低減することができるので、リフロークラック防止することができる。

前記36項の手段によれば、半導体チップの回路形成面と反対側の面に酸化珪素(SiO_2)膜を残した状態で、凹部又は凸部もしくは複数の溝が設けられたことにより、前記酸化珪素(SiO_2)膜とモールド樹脂との接着力が強いので、半導体チップの回路形成面と反対側の面でのモールド樹脂の剥離を防止することができ、かつ凹部又は凸部もしくは複数の溝によりモールド樹脂が半導体チップの非回路形成面コーナ部のモールド樹脂部に発生する応力を低減することができるので、リフロークラック防止することができる。

前記37項の手段によれば、前記インナーリードの半導体チップと接合している部分からパッケージの外壁までの距離が、半導体チップの回路形

成される程度の薄い樹脂層が存在する場合を想定した意味である。

前記33項の手段によれば、前記30項乃至32の各項の手段における半導体チップの主面のX方向又はY方向の中心線の近傍に共用インナーリード(バスバーインナリード)が設けられていることにより、小さな面積内で、例えば、半導体チップ内の基準電圧(V_{ss})や半導体チップ内の電源電圧(V_{cc})等のボンディング配線用ワイヤをショートさせることなく容易に配線することができる。また、ワイヤボンディングの作業性を向上することができる。

前記34項の手段によれば、半導体チップの非回路形成面に凹部又は凸部が設けられたことにより、モールド樹脂が半導体チップに拘束され、リフロークラックが生じる半導体チップの非回路形成面のコーナ部のモールド樹脂部に発生する応力を低減することができるので、リフロークラックを防止することができる。

前記35項の手段によれば、半導体チップの非

成面の反対側の面からパッケージの外壁までの距離より大きくしたことにより、各流路のレジン平均流速をほぼ等しくすることができるので、ボイドの発生、ボンディング配線用ワイヤの曲り及び充填不足を防止することができる。また、各流路レジン流動抵抗がほぼ等しくなるので、半導体チップやリードの変化を防止することができ、高信頼度パッケージの成形を実現することができる。

前記38項の手段によれば、インナーリードとのボンディングパッドが鏡面対称に形成された2個の半導体チップと、該2個の半導体チップの主面側でリードフレームを挟んでインナーリードと半導体チップの電極端子(パッド)とを電気的に接続し、モールド樹脂で封止した半導体装置であるので、パッケージの外形を変化させずに容量が2倍の素子を実装することができる。

前記39項の手段によれば、前記34項乃至38項の各項の手段における半導体チップの主面のX方向又はY方向の中心線の近傍に共用インナーリード(バスバーインナリード)が設けられてい

ることにより、小さな面積内で、例えば、半導体チップ内の基準電圧 (V_{ss}) や半導体チップ内の電源電圧 (V_{cc}) 等のボンディング配線用ワイヤをショートさせることなく容易に配線することができる。また、ワイヤボンディングの作業性を向上することができる。

前記40項乃至42項の手段によれば、樹脂封止型半導体装置の伝熱表面積を大きくすることができるので、樹脂封止型半導体装置の熱抵抗を低減することができる。

前記44項の手段によれば、前記40項乃至請求項43の各項の手段における半導体装置を互いの放熱用導が連なるように搭載基板上に実装したことにより、放熱用導又は及び第2放熱用導の方向に送風を行うことができるので、各半導体装置を効率よく冷却することができる。

〔発明の実施例〕

以下、本発明の一実施例を断面を用いて具体的に説明する。

なお、実施例を説明するための全図において、

接周辺回路で構成されている。直接周辺回路は、メモリセルの情報書き込み動作や情報読出し動作を直接制御する回路である。直接周辺回路は、ロウアドレスデコード回路、カラムアドレスデコード回路、センスアンプ回路等を含む。間接周辺回路は、前記直接周辺回路の動作を間接的に制御する回路である。間接周辺回路は、クロック信号発生回路、バッファ回路等を含む。

前記DRAM1の主面つまり前記メモリセルアレイ及び周辺回路を配置した表面上には、インナーリード3Aを配置している。DRAM1とインナーリード3Aとの間には、絶縁性フィルム4を介在している。絶縁性フィルム4は、例えばポリイミド系樹脂層で形成されている。この絶縁性フィルム4のDRAM1側、インナーリード3A側の夫々の表面には、接着層(図示しない)が設けられている。接着層としては、例えばポリエーテルアミドイミド系樹脂やエポキシ系樹脂を使用する。この種の樹脂封止型パッケージ2は、DRAM1上にインナーリード3Aを配置したLOC(Lead

同一機能をもつものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例1〕

本発明の実施例1であるDRAMを封止する樹脂封止型半導体装置を第1図(部分断面斜視図)、第2図(平面図)及び第3図(第2図のイーイ線で切った断面図)で示す。

第1図、第2図及び第3図に示すように、DRAM(半導体チップ)1は、SOJ(Small Outline J-bond)型の樹脂封止型パッケージ2で封止されている。前記DRAM1は、16[Mbit]×1[bit]の大容量で構成され、16.48[mm]×8.54[mm]の平面長方形で構成されている。このDRAM1は、400[mil]の樹脂封止型パッケージ2に封止される。

前記DRAM1の主面には、主にメモリセルアレイ及び周辺回路が配置されている。メモリセルアレイは、後に詳述するが、1[bit]の情報記憶するメモリセル(記憶素子)を行列状に複数配置している。前記周辺回路は、直接周辺回路及び間

接周辺回路で構成されている。直接周辺回路は、メモリセルの情報書き込み動作や情報読出し動作を直接制御する回路である。直接周辺回路は、ロウアドレスデコード回路、カラムアドレスデコード回路、センスアンプ回路等を含む。間接周辺回路は、前記直接周辺回路の動作を間接的に制御する回路である。間接周辺回路は、クロック信号発生回路、バッファ回路等を含む。

前記インナーリード3Aはその一端側をアウターリード3Bと一体に構成している。アウターリード3Bは、標準規格に基づき、夫々に印加される番号が規定され、番号が付されている。第1図中、左端手前は1番端子、右端手前は14番端子である。右端後側(端子番号はインナーリード3Aに示す)は15番端子、左端後側は28番端子である。つまり、この樹脂封止型パッケージ2は1～6番端子、9～14番端子、15～20番端子、23～28番端子の合計24端子で構成され

ている。

前記1番端子は電源電圧 V_{cc} 端子である。前記電源電圧 V_{cc} は例えば回路の動作電圧5[V]である。2番端子はデータ入力信号端子(D)。3番端子は空き端子。4番端子はライトイネーブル信号端子(\overline{W})。5番端子はロウアドレスストロブ信号端子(\overline{RE})。6番端子はアドレス信号端子(A_0)である。

9番端子はアドレス信号端子(A_{10})。10番端子はアドレス信号端子(A_9)。11番端子はアドレス信号端子(A_8)。12番端子はアドレス信号端子(A_7)。13番端子はアドレス信号端子(A_6)である。14番端子は電源電圧 V_{cc} 端子である。

15番端子は基準電圧 V_{ss} 端子である。前記基準電圧 V_{ss} は例えば回路の基準電圧0[V]である。16番端子はアドレス信号端子(A_5)。17番端子はアドレス信号端子(A_4)。18番端子はアドレス信号端子(A_3)。19番端子はアドレス信号端子(A_2)。20番端子はアドレス信号端子(A_1)である。

体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(V_{cc})3Aは共用インナーリード又はバスバーインナーリードと言われている)。同様に、15番端子、28番端子の夫々のインナーリード(V_{ss})3Aは、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(V_{ss})3Aは共用インナーリード又はバスバーインナーリードと言われている)。インナーリード(V_{cc})3A、インナーリード(V_{ss})3Aの夫々は、その他のインナーリード3Aの他端側の先端で規定された領域内において平行に延在させている。このインナーリード(V_{cc})3A、インナーリード(V_{ss})3Aの夫々はDRAM1の主面のどの位置においても電源電圧 V_{cc} 、基準電圧 V_{ss} を供給することができるように構成されている。つまり、この樹脂封止型半導体装置は、電源ノイズを吸収し易く構成され、DRAM1の動作速度の高速化を図れるように構成されている。

前記DRAM1の長方形形状の短辺にはチップ支

23番端子はアドレス信号端子(A_0)。24番端子は空き端子。25番端子はカラムアドレスストロブ信号端子(\overline{CE})。28番端子は空き端子。27番端子はデータ出力信号端子である。28番端子は基準電圧 V_{ss} 端子である。

前記インナーリード3Aの他端側は、DRAM1の長方形形状の夫々の長辺を横切り、DRAM1の中央側に引き伸ばされている。インナーリード3Aの他端側の先端はボンディングワイヤ5を介在させてDRAM1の中央部分に配列されたボンディングパッド(外部端子)BPに接続されている。ボンディングワイヤ5はアルミニウム(Al)ワイヤを使用する。また、ボンディングワイヤ5としては、金(Au)ワイヤ、銅(Cu)ワイヤ、金銀ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等を使用してもよい。ボンディングワイヤ5は熱圧着に超音波振動を併用したボンディング法によりボンディングされている。

前記インナーリード3Aのうち1番端子、14番端子の夫々のインナーリード(V_{cc})3Aは、一

持用リード3Cが設けられている。

前記インナーリード3A、アウターリード3B、チップ支持用リード3Cの夫々はリードフレームから切断されかつ成型されている。リードフレームは例えばFe-Ni(例えばNi含有率42又は50[%])合金、Cu等で形成されている。

前記DRAM1、ボンディングワイヤ5、インナーリード3A及びチップ支持用リード3Cはモールド樹脂2Aで封止されている。モールド樹脂2Aは、低応力化を図るために、フェノール系硬化剤、シリコンゴム及びフィラーが添加されたエポキシ系樹脂を使用している。シリコンゴムはエポキシ系樹脂の弾性率と同時に熱膨張率を低下させる作用がある。フィラーは球形の酸化珪素粒で形成されており、同様に熱膨張率を低下させる作用がある。また、パッケージ2の所定位置にインデックスID(第1図及び第2図の左端に設けられた切り込み)が設けられている。

次に、前記樹脂封止型パッケージ2に封止されたDRAM1の概略構成を第4図(チップレイア

ウト図)に示す。

第4図に示すように、DRAM1の表面の略全域にメモリセルアレイ(MA)11が配置されている。本実施例1のDRAM1は、これに限定されないが、メモリセルアレイは大きく4個のメモリセルアレイ11A~11Dに分割されている。同第4図中、DRAM1の上側に2個のメモリセルアレイ11A及び11Bが配置され、下側に2個のメモリセルアレイ11C及び11Dが配置されている。この4個に分割されたメモリセルアレイ11A~11Dの夫々は、さらに16個のメモリセルアレイ(MA)11に細分化されている。つまり、DRAM1は、64個のメモリセルアレイ11を配置する。この64個に細分化された1個のメモリセルアレイ11は256[Kbit]の容量で構成されている。

前記DRAM1の64個に細分化されたうちの2個のメモリセルアレイ11の間には夫々センスアンプ回路(SA)13が配置されている。センスアンプ回路13は相補型MOSFET(CMOS)で構成されている。DRAM1の4個に分割されたうち

する回路である。

前記DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Bの夫々の間、メモリセルアレイ11C、11Dの夫々の間には、夫々周辺回路17及び外部端子BPが配置されている。周辺回路17としてはメインアンプ回路1701、出力バッファ回路1702、基板電位発生回路(V_{ss} ジェネレータ回路)1703、電源回路1704の夫々を配置している。メインアンプ回路1701は4個単位に合計16個配置されている。出力バッファ回路1702は合計4個配置されている。

前記外部端子BPは、前記横断対止型半導体装置2をLOC構造で構成し、DRAM1の中央部までインナーリード3Aを引き伸ばしている。DRAM1の中央部分に配置されている。外部端子1は、メモリセルアレイ11A及び11C、11B及び11Dの夫々で規定された領域内に、DRAM1の上端側から下端側に向って配置されている。ボンディングパッド(外部端子)BPに印加される信号は、前述の第4図に示す横断対止型半導体装

のメモリセルアレイ11A、11Bの夫々の下端の一端にはカラムアドレスデコード回路(YDEC)12が配置されている。同様に、メモリセルアレイ11C、11Dの夫々の上側の一端にはカラムアドレスデコード回路(YDEC)12が配置されている。

前記DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Cの夫々の右側の一端にはワードドライバ回路(WD)14、ロウアドレスデコード回路(XDEC)15、単位マツト制御回路16の夫々が左側から右側に向って順次配置されている。同様に、メモリセルアレイ11B、11Dの夫々の左側の一端にはワードドライバ回路14、ロウアドレスデコード回路15、単位マツト制御回路16の夫々が右側から左側に向って順次配置されている。

前記センスアンプ回路13、カラムアドレスデコード回路12、ワードドライバ回路14、ロウアドレスデコード回路15の夫々はDRAM1の周辺回路のうちの直接周辺回路を構成する。この直接周辺回路はメモリセルアレイ11の細分化されたメモリセルアレイ11に配置されたメモリセルを直接制御

置2において説明したので、ここでの説明は省略する。基本的には、DRAM1の表面上の上端側から下端側に向って基準電圧(V_{ss})、電源電圧(V_{cc})の夫々が印加されたインナーリード3Aが延在するので、DRAM1はその延在方向に沿って基準電圧(V_{ss})用、電源電圧(V_{cc})用の夫々の外部端子BPを複数配置している。つまり、DRAM1は基準電圧(V_{ss})、電源電圧(V_{cc})の夫々の電源の供給が充分に行えるように構成されている。データ入力信号(D)、データ出力信号(Q)、アドレス信号($A_0 \sim A_{11}$)、クロック系信号、制御信号の夫々はDRAM1の中央部分に集中的に配置されている。

前記DRAM1の4個に分割されたうちのメモリセルアレイ11A、11Cの夫々の間、11B、11Dの夫々の間には夫々周辺回路18が配置されている。周辺回路18のうち左側にはロウアドレスストロープ(RE)系回路1801、ライトイネーブル(W)系回路1802、データ入力バッファ回路1803、電源電圧(V_{cc})用リミッタ回路1804、Xアドレスドライバ

回路(論理段)1805、X系冗長回路1806、Xアドレスバッファ回路1807の夫々が配置されている。周辺回路18のうち右側にはカラムアドレスストロープ(CE)系回路1808、テスト回路1809、VDL用リミッタ回路1810、Yアドレスドライバ回路(論理段)1811、Y系冗長回路1812、Yアドレスバッファ回路1813の夫々が配置されている。周辺回路18のうち中央にはYアドレスドライバ回路(ドライブ段)1814、Xアドレスドライバ回路(ドライブ段)1815、マツト選択信号回路(ドライブ段)1816の夫々が配置されている。

前記周辺回路17、18(18も含む)はDRAM1の隣接周辺回路として使用されている。

次に、リードフレームの詳細について説明する。

本実施例1のリードフレームは、第1図及び第5図(リードフレーム全体平面図)に示すように、20本の信号用インナーリード3A、と2本の共用インナーリード3A、が設けられている。該インナーリード3A(信号用インナーリード3A、及び共用インナーリード3A、)は、第3図及び

適用しても前述の効果を奏する。

また、前記リードフレームの所定位置に、第1図及び第5図に示すように、前記半導体チップ1の主面を接着固定するための通電しないチップ支持用リード(吊りリード)3Cが設けられている。

このように通電しない吊りリード3Cによって半導体チップ1の主面を接着固定することにより、半導体チップ1を強固に固定されるので、半導体装置の信頼性及び耐湿性の向上を図ることができる。

次に、前記絶縁性フィルム4の詳細について説明する。

半導体チップ1の主面上の絶縁性フィルム4の占める面積が半導体チップ1の面積に対して少なくとも1/2以下になっている。このように、絶縁性フィルム4の占める面積が半導体チップ1の面積に対して少なくとも1/2以下にすることにより、絶縁性フィルム4による吸湿量を低減するので、リフロー時における熱の影響及び温度サイクルによる熱によって発生する蒸気による影響を

第6図(要部断面説明図)に示すように、そのインナーリード3Aの絶縁性フィルム(絶縁体)4と接着する部分よりアウトリード3B側の部分と半導体チップ1との間隔が、前記絶縁性フィルム(絶縁体)4と接合する部分と半導体チップ1との間隔より広くなるような段差構造になっている。このようにインナーリード3Aを段差構造にしたことにより、半導体チップとリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

また、半導体チップ1の主面と絶縁性フィルム4との接着、絶縁性フィルム4とインナーリード3Aとの接着は、第6図に示すように、接着剤7で接着する。また、接着剤7は、第7図に示すように、半導体チップ1の主面と絶縁性フィルム4との接着には用いないで、絶縁性フィルム4とインナーリード3Aとの接着にのみ使用してもよい。

なお、前記インナーリード3Aは、共用インナーリード3A、が設けられていないパッケージに

防止することができる。つまりパッケージのクラック等の発生を防止することができるので、半導体装置の信頼性を向上することができる。

また、これにより、半導体チップ1とリードとの間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

さらに、前記絶縁性フィルム4と半導体チップ1の主面とを接合する面積が製造上可能な最小限の値にすることにより、前述の効果をさらに顕著にすることができる。また、インナーリードの半導体チップと接着する一部分のみに絶縁膜(絶縁フィルム)を使用するので、リード間におけるリークを低減することができる。

また、半導体チップ1の主面上の前記絶縁性フィルム4の代りに、第8図に示すように、前記インナーリード3Aの一部を含む樹脂成形体6を用いて、半導体チップ1とインナーリード3Aとの間の距離を充分大きく取り、半導体チップ1とインナーリード3Aとの間の浮遊容量を小さくする

ように形成してもよい。

このようにすることにより、樹脂成形体6とモールド樹脂（例えば、レジン）2Aとを相性の良い材料で形成するので、割断界面リード間の割断を低減することができる。

前記樹脂成形体6と半導体チップ1との接着は、第10図に示すように、接着剤7によって接着してもよい。

絶縁性フィルム4の基材及び樹脂成形体6としては、エポキシ系樹脂、BT（ビスマレイミドトリアジン）樹脂、フェノール樹脂（レゾール系等）、ポリイミド樹脂（エーテル結合及びカルボニル結合を含む芳香族ポリイミド又は脂肪族ポリイミド等）等から選択された1種又は複数の樹脂を主成分とし、これに、必要に応じて無機質フィラ又は繊維硬化剤、各種添加剤等を加えて成形される。

また、絶縁性フィルム4の基材及び樹脂成形体6の材料の他の例としては、脂肪族ポリイミド、ポリエステル、ポリスルホン、芳香族ポリエーテルアミド、芳香族ポリエステルイミド、ポリフェ

ニレンサルファイド、ポリアミドイミド及びその変成物、ポリエーテルエーテルケトン、ポリエーテルサルフォン、ポリエーテルアミドイミド等の熱可塑性樹脂を主成分とし、必要に応じてこれに無機質フィラ又は繊維、添加剤を加えて成形される。

また、絶縁性フィルム4又は樹脂成形体6をインナーリード3A及び半導体チップ1に接合するための接着としては、エポキシ系樹脂、BT樹脂、フェノール樹脂（レゾール系等）ポリイミド系樹脂、イソメラン系樹脂、シリコン樹脂及びこれらの樹脂の複数をを用いて変成した熱硬化性樹脂又は芳香族ポリエーテルアミド、ポリエーテルエーテルケトン、ポリスルホン、芳香族ポリエステルイミド、ポリエステル、脂肪族ポリイミド等の熱可塑性樹脂の中から選択することができる。

また、SOJ等の面実装型集積回路ではプリント基板（PCB）へ半田実装する場合に、ペーパーフェーズリフロー溶剤法又は紫外線リフロー溶剤法が用いられるが、この場合パッケー

ジ内の吸湿水分がリフロー温度（215～260℃）で気化膨張し、チップ界面の接着を剥し、割断面の内圧が上昇して封止レジンがクラックする場合がある。

LOC構造では、インナーリード3Aと半導体チップ1を絶縁フィルム4又は樹脂成形体6で接合する構造であるため、絶縁フィルム4又は樹脂成形体6自身の吸湿によって、前述の現象を加速する。従って、これを低減するためには、絶縁フィルム4の体積を小さくし、吸湿量を低減することが有効となる。

接合面積の下限は、ワイヤボンディング及び樹脂（レジン）モールド（封止）の工程で受ける外力に耐えられる面積である。

ここで、前記絶縁性フィルム4又は樹脂成形体6の絶縁体の材料物性について検討する。

LOC構造の半導体装置又はCOL（Chip On Lead）構造の半導体装置におけるインナーリード3Aと半導体チップ1との間の接合絶縁材料として下記7項目の条件の内2個以上の条件を満

たす材料を使用する。

(1)、飽和吸湿率が封止レジンと同程度もしくはそれ以下であること。

これは、ペーパー・フェーズ・ソルダー（VP S）時のレジンクラック防止に有効である。

(2)、誘電率が4.0（at 10⁸ Hz、常温～200℃）以下であること。

これは、インナーリードと半導体チップとの間の浮遊容量を低減する。

(3)、200℃でのバーコル硬度20以上であること。

これは、ワイヤボンディング性を良好にする。

(4)、U、Thの含有量が1ppb以下、120℃、1400時間抽出した場合の可溶性ハロゲン元素量10ppm以下である。

これは、ソフトエラーの防止、耐湿性の向上に有効である。

(5)、半導体チップ及びインナーリードとの接着性が良好であること。

これは、ワイヤボンディング性の確保、耐湿性の向上、

インナーリード間の電流リークの防止等が図れる。
(6)、熱膨張係数が $20 \times 10^{-6}/^{\circ}\text{C}$ 以下であること。

これは、インナーリード3Aに絶縁材料を接合した場合の反りを低減し、次工程の半導体チップへの接合作業性の改善が図れる。

(7)、熱可塑樹脂の場合は、ガラス転移温度 T_g が 220°C 以上であること。

これは、リフロー溶ダ時の高温(215°C)において、ガラス転移温度 T_g が 220°C で未満の材料では熱変形し、パッケージクラックが発生し易くなるが、前記条件はこれを防止する効果がある。

前記7項目の条件の内、少くとも2条件を満たす材料の実施例について説明する。

例えば、カプトン(デュボン社製ポリイミドフィルム)600H又はユービレックスS(宇部興産社のポリイミドフィルム)の両面を粗面化し、この両面にガラス転移温度 T_g が 220 以上のポリエーテルアミドを $25\mu\text{m}$ コーティングした

ルアミド樹脂、ポリイミド前駆体等から選ばれた接着剤をコーティングしたフィルムでは、前記項目をいずれも満足すると共に、特に吸湿率及び誘電率が小さいという特徴がある。

次に、リードフレーム3に絶縁性フィルム4を介在させて接着剤を用いて半導体チップ1を接着固定する方法について説明する。

第11図(リードフレーム3と絶縁性フィルム4と半導体チップ1との関係を示す展開図)に示すように、半導体チップ1の主面の信号用インナーリード3A、共用インナーリード3A₁、吊りリード3Cのそれぞれに対向する位置の上に、絶縁性フィルム4を分割して接着剤7(第1図及び第6図)により貼り付ける。次に、前記第8図に示すように、リードフレーム3の信号用インナーリード3A₁、共用インナーリード3A₂、吊りリード3Cを接着剤7により接着固定する。

前記モールド樹脂材料(レジン)の実施例を次に示す。

(1) 熱硬化性樹脂に、粒度分布 $0.1 \sim 100$

フィルムでは、前記項目の内(1)項を除いて、その条件を満たす材料である。

また、高純度石英繊維又はアラミド繊維を補強材としたビスマレイミドフィルムあるいはエポキシフィルムもしくはエポキシ変形ポリイミドフィルム $125\mu\text{m}$ の両面に、エポキシ樹脂、レゾール樹脂、イソメラミン樹脂、フェノール変成エポキシ樹脂、エポキシ変成ポリイミド樹脂の内から選ばれた接着剤を $10 \sim 25\mu\text{m}$ 塗布・乾燥したフィルムでは、前記項目の内(1)～(6)項を満たす材料である。

また、テフロンPFA(デュボン社製の4フッ化エチレン-パーフロアルコキシ共重合体)、あるいはテフロンFEP(デュボン社製の4フッ化エチレン-パー6フッ化プロピレン共重合体)、もしくはカプトンFタイプ(東レ・デュボン社製、カプトンフィルムの両面にテフロンFEPを薄くコーティングした材料)フィルムの両面を、プラズマ処理等の方法で接着性を改善し、この両面にエポキシ樹脂、レゾール樹脂、芳香族ポリエーテ

μm 、平均粒径が $5 \sim 20\mu\text{m}$ 、最大充填密度が 0.8 以上の実質的に球形の無機フィラーを 70 重量百分率(wt%)以上配合した樹脂組成物を用いる。

この場合の樹脂成分は、エポキシ、レゾール、ポリイミドのいずれであってもよい。

このように、前記球形の無機フィラー(例えば、熔融シリカ)を用いたモールド樹脂材料は、第12図(充填剤の充填密度と流動性の関係を示す図)に示すように、その材料の熔融粘度や流動性に及ぼす影響が少ないために配合量を増やして材料の熱膨張率が図れる。また、第13図(フィラー配合量と成形品の物性との関係を示す図)及び第14図(フィラー配合量と熱応力との関係を示す図)フィラーを増量して成形品の熱応力を低減させることができる。そのため、パッケージは耐クラック性が良好となる。

特に、LOC構造のような繊細な構造を有する半導体装置をモールドする場合の装置の変形や損傷を防止することができる。

(2) 高純度のフェノール硬化型エポキシ樹脂、レゾール型フェノール樹脂、ビスマレイミド樹脂のうち少なくとも一種を主成分とした樹脂組成物を用いる。

精製レゾール樹脂を用いた場合の硬化物特性は、第1表(末尾の頁にあり)に示すように、精製品との大きな違いは、体積抵抗率が特に140で3桁以上異なる。また、イオン性不純物が多いため抽出液の電気伝導率にも大きな差がみられる。

精製レゾール樹脂の製造法は、例えば、フラスコにフェノール500g、30%のホルマリン550g、硬化剤として酢酸亜鉛5gを加え、攪拌しながら徐々に加熱し、減圧しながら90℃で60分間加熱する。その後、フラスコ内を20mmHgに減圧し、縮合水並びに未反応成分を除去した。次に、この反応生成物に300gのアセトンを加えて反応生成物を溶解し、さらに純水を加え、50℃で30分間激しく攪拌する。冷却後上部の水層を除去し、再び反応生成物を300gのアセト

ンに溶解し、さらに純水を加え50℃で30分間激しく攪拌し、冷却後上部の水層を除去する。この洗浄操作を5回繰り返す。各洗浄を行う毎に反応生成物の一部を取り出し夫々減圧しながら40℃で48時間乾燥し、精製度合いが異なる6種類のレゾール型フェノール樹脂を得る。

こうして得られたレゾール型フェノール樹脂の精製回数と樹脂の軟点、硬化特性並びにこれらのレゾール型フェノール樹脂5gに純水50gを加え120℃で120時間加熱した後の抽出水の水素イオン濃度(pH)、電気伝導率並びに抽出されたイオン性不純物濃度の分析結果を第2表(末尾の頁にあり)にまとめて示す。

第2表から明らかのように、前記洗浄の操作を5回繰り返したレゾール型樹脂フェノール樹脂は、イオン不純物が極めて少ないことが分かる(特願昭63-141750号参照)。

このように、精製による効果としては、前記特性上の違いからモールド品の耐湿信頼性やAu/A1接合部の高湿寿命、素子特性の向上等が図れる。

(3) 高純度のレゾール型フェノール樹脂あるいはビスマレイミド樹脂のいずれかを主成分とし、かつ、その成形品は215℃の曲げ強度が3kgf/mm²以上であるもの、例えば、第1表の実施例2、3のものを用いる。

このように、高純度のレゾール型フェノール樹脂やポリイミド樹脂を用いた封止材料は成形品の耐熱性が高く、215℃の曲げ強度が3kgf/mm²以上であるので、パッケージを吸湿させた場合の耐リフロー性(パッケージクラック)あるいはリフロー後の耐湿信頼性や耐熱衝撃性が極めて良好となる。

(4) 前記(2)又は(3)項のベース樹脂に配合される無機フィラとして、粒度分布0.1~100μm、平均粒径が5~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカであるものであり、例えば、第1表の実施例1、2、3のいずれかのものを用いる。

このように、前記球形の溶融シリカを用いた封止材料は、その材料の溶融粘度や流動性に及ぼす

影響が少ないために配合量を増やして材料の低熱膨張化が図れる。そのため、パッケージは、前記

(2)又は(3)項の効果の上に耐クラック性が良好となる。(5)前記樹脂封止材料が、無機フィラとして粒度分布0.1~100μm、平均粒径が5~20μm、最大充填密度が0.8以上の実質的に球形の溶融シリカを組成物全体に対して67.5体積百分率(vol%)以上配合され、成形品は線膨張係数が $1.4 \times 10^{-4}/^{\circ}\text{C}$ 以下であるものであり、例えば、第1表の実施例1、2、3のいずれかのものを用いる。

このようにすることにより、前記球形の溶融シリカの効果を更に有効にすることができる。

(6)前記樹脂封止材料が、10倍量のイオン交換水と混合し、120℃で100時間抽出した場合に抽出液のpHが3~7、電気伝導度が200μS/cm以下、ハロゲンイオン、アンモニアイオン並びに金属イオンの抽出量が10ppm以下であるもの、例えば、第1表の実施例1、2、3のいずれかのものを用いる。

次に、前記樹脂封止材料の実施例(1)乃至(6)の一例について述べる。

第1表に示すように、熱硬化性樹脂としてエポキシ樹脂(従来例)、レゾール型フェノール樹脂(実施例1)及びビスマレイミド樹脂(実施例2)をベース樹脂として用い、これにフィラとして粒度分布0.1~100 μ m、平均粒径が5~20 μ m、最大充填密度が0.90の実質的に球形の溶融シリカ、さらに、各種添加剤を加え、当該混合物を約80℃に加熱した二軸ロールで10分間溶融加熱し、冷却後粉砕し3種類の樹脂封止材料を作製した。

次いで、各樹脂封止材料を用い、トランスファ成形機で第1図に示すLOC構造を有する半導体装置、すなわち、16MDRAMをモールドした。モールドは金型温度180℃、トランスファ圧力70kgf/cm²、成形時間90秒で行った。

前記実施例によれば、次のような効果を得ることができた。

(1) フィラーとして粒度分布0.1~100 μ m、

性が高く、特に高温の機械強度が優れるためにパッケージを吸湿させた場合の耐リフロー性(パッケージクラック)あるいは、リフロー後の耐湿信頼性や耐熱衝撃性が極めて良好であった。

次に、樹脂封止材料を金型に注入する際に、ボイドの発生、ボンディングワイヤの曲り、充填不足等を防止するための手段について説明する。

前記第1図に示すように、半導体チップ1の主面上に、複数のインナーリード3Aが、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介して接着剤7で接着され、該インナーリード3Aと半導体チップ1とがボンディングワイヤ5で電気的に接続され、樹脂で封止された16MDRAMにおいて、第15図(第1図の要部断面図)に示すように、前記インナーリード3Aの半導体チップ1と接着している部分からパッケージ2の外壁までの距離H₁が、半導体チップの回路形成面の反対側の面からパッケージの外壁までの距離H₂より大きくなるようなパッケージ構造にする。

平均粒径が5~20 μ m、最大充填密度が0.8以上の実質的に球形の溶融シリカを用いた封止材料は、一般に用いられている角形溶融シリカを用いた場合と比べて溶融粘度が低く、材料の流動性が良好なため、モールドに際し、A₀等のボンディングワイヤ5やリードフレーム3を変形させたり、半導体チップ1を押し流すことがなく、しかも、パッケージの狭い隙間にも良く充填した。

(2) 前記球形溶融シリカは、材料の溶融粘度や流動性に及ぼす影響が少ないために、配合量を増やして材料の低熱膨張化が図れる。そのため、パッケージは、耐クラック性が良好であった。

(3) 従来の半導体封止材料としては、エポキシ樹脂が使用され、フェノール樹脂やポリイミド樹脂は、イオン性不純物が多いために電気特性や耐湿信頼性が劣り実用化されなかった。しかし、高純度のレゾール型フェノール樹脂やポリイミド樹脂を使用すれば、良好な信頼性を得ることができた。

(4) 高純度のレゾール型フェノール型樹脂やポリイミド樹脂を用いた封止材料は、成形品の耐熱

このようなパッケージ構造にすることにより、第16図(第15図をモデル化した断面図)、第17図(第16図のハーフ断面図)、第18図(第16図のニーニ断面図)に示すように、インナーリード3Aの上部の流路の深さh₁とh₂、インナーリード3Aと半導体チップ1との中間部の深さh₃及び半導体チップ1の下部の流路の深さh₄の關係が夫々次式で表わされる。

$$h_1 = h_2 = \frac{h_0 - t_0 - 2W_f t_f / W_0}{2(1 + W_f / W_0)}$$

$$h_{3,1} = h_0 - 2h_{1,2,3} - t_0 - t_1$$

$$h_{3,2} = h_{1,2,3} + t_1$$

ここで、

h₀: キャビティ深さ

t₀: チップ厚さ

t_f: リードフレーム厚さ

W₀: キャビティ幅

W_f: チップから浮かせたリードフレーム長さである。

前記各式の夫々關係をグラフにすると、第19

図のようになる。

このように、パッケージ2のレジジン流路をインナーリード3Aの上部流路、インナーリード3Aと半導体チップ1の中間部流路及び半導体チップ1の下部流路の3つに分割し、各流路のレジジン平均流速が等しくなるように、各流路の深さ及びレジジン流路構造を設定することにより、第17図に示す各流路①、②、③のレジジン平均流速が等しくなるので、ボイド発生、ボンディングワイヤ（金線）5の曲り、充填不足等を防止することができる。

また、前記各流路①、②、③のレジジン平均流速が等しくなるので、半導体チップ1及びインナーリード3Aの変形が防止することができ、高信頼性のパッケージを得ることができる。

〔実施例Ⅱ〕

本発明の実施例Ⅱの半導体集積回路装置は、第20図、第21A図、第21B図、第22A図及び第22B図に示すように、前記実施例Ⅰの半導体チップ1の主面上に貼り付けられた絶縁性フ

Aの面積を低減することができる。また、信号用インナーリード3A₁及び共用インナーリード3A₂と絶縁性フィルム4Aとの位置合せも良好に行うこともできる。また、信号用インナーリード3A₁と共用リード3A₂との間に絶縁性フィルム4が存在しないので両者間のリークを防止することができる。

なお、前記絶縁性フィルム4は、複数枚に分割して、例えば4分割して貼り付ける方が、1枚の絶縁性フィルム4の場合より熱による応力の影響を低減することができる。

また、第21A図に示すように、前記半導体チップ1の主面と対向する面の半導体チップ1に最近接する面（裏面）の全面のうち、信号用インナーリード3A₁と共用リード3A₂のボンディング部に対応する部分のみに絶縁性フィルム4Bを配設し、半導体チップ1に対する絶縁性フィルム4Bの占める面積を最小にすることができる。

このような半導体チップ1に対する絶縁性フィルム4Bの占める面積が最小となる絶縁性フ

ィルム4を信号用インナーリード3A₁及び共用インナーリード3A₂の半導体チップ1との対向面のチップ最近接面の全面又は一部に絶縁性フィルム4Aが配設されたものである。

すなわち、前記絶縁性フィルム4Aは、例えば、第20図に示すように、リードフレーム3の状態、信号用インナーリード3A₁及び共用インナーリード3A₂の半導体チップ1の主面と対向する面の半導体チップ1に最近接する面の全面に、絶縁性フィルム4Aをあらかじめ配設しておき、組み立て時に前記絶縁性フィルム4Aと半導体チップ1を接着剤で接着固定する。

前記絶縁性フィルム4A付リードフレーム3は、例えば、1枚のインナーリード用薄板の半導体チップ1の主面と対向する面の半導体チップ1に最近接する面全面に、絶縁性フィルム4を貼り付けて、プレス等で成形切所し、信号用インナーリード3A₁及び共用インナーリード3A₂と絶縁性フィルム4Aとが一度に作製される。

このようにすることにより、絶縁性フィルム4

ム4B付リードフレーム3は、例えば、第21B図に示すように、信号用インナーリード3A₁と共用リード3A₂の半導体チップ1の主面と対向する面の半導体チップ1に最近接する面全面に、所定位置に孔6が設けられた4枚の絶縁性フィルム4を貼り付けて、プレス等で成形切所し、信号用インナーリード3A₁と共用リード3A₂のボンディング部に対応する位置のみに絶縁性フィルム4Bを貼り付けたものが作製される。

このようにすることにより、第20図に示す実施例に比べて、さらに、絶縁性フィルム量を減じることができるので、さらに、吸塵量を低減することができる。また、このようにすることにより、吊りリードを合せると、半導体チップ1を固定しやすい。

なお、第21A図に示す実施例においては、ボンディング部に対応する部分のみに絶縁性フィルム4Aを配設したが、それ以外の部分に、必要に応じて部分的に絶縁性フィルム4Aを配設してもよい。

また、第22A図に示すように、第20図に示す絶縁性フィルム4Aの部分に、共用インナーリード3A₁と信号用インナーリード3A₂の部分とを延長して交差させるように延長部分にも絶縁性フィルム4Cが配設されたものである。

この絶縁性フィルム4C付インナーリード3Aは、例えば、第22B図に示すように、信号用インナーリード3A₂に対応する部分のみが残るような孔bを設けた1枚の絶縁性フィルム4を作製し、この絶縁性フィルム4の長辺方向の中心線に沿って切断して2分割する。この2分割された絶縁性フィルム4Cを共用インナーリード3A₁及び信号用インナーリード3A₂に貼り付けることにより作製する。

このように予め絶縁性フィルム4を所定のパターンに切断して絶縁性フィルム4Cを形成し、絶縁性フィルム4Cを共用インナーリード3A₁及び信号用インナーリード3A₂に貼り付けるのみでよいので、絶縁性フィルム4Cの作製の方法が容易である。また、このようにすることにより、

これにより、半田リフロー工程中の半導体装置内水蒸気圧力を小さくできるので、レジクラックを起こさない半導体装置を提供することができる。

(実施例Ⅲ)

本発明の実施例Ⅲの半導体集積回路装置は、第23図に示すように、前記実施例Ⅰの半導体チップ1の主面に設けられているボンディングパッドBP以外の半導体チップ1の主面領域全域にα線遮蔽用ポリイミド膜8が被覆され、半導体チップ1の主面上に少なくとも信号用インナーリード3A₂及び共用インナーリード3A₁（第23図には図示していない）の先端とが接合される箇所に絶縁性フィルム4Dが形成されている。

前記α線遮蔽用ポリイミド膜8の厚さは、2.0μm～10.0μmである。

前記絶縁性フィルム4Dの膜厚は、75μm以上である。この絶縁性フィルム4Dとしては、印刷可能な無機フィラーを含有する熱硬化性樹脂が適している。

絶縁性フィルム4Dの占める面積は、半導体チ

ップ1の面積に対して少なくとも1/2以下になっている。

また、半導体チップ1の主面と反対側の面にポリイミド膜9が形成されている。

次に、前記半導体チップ1の主面上に設けられているボンディングパッドBP以外の半導体チップ1の主面領域全域にα線遮蔽用ポリイミド膜8を被覆し、半導体チップ1の主面上に少なくとも信号用インナーリード3A₂、共用インナーリード3A₁の先端とが接合される箇所に絶縁性フィルム4Dを形成する方法の一実施例について第23図及び第24A図（製造流れ図と各工程の断面図）を用いて説明する。

まず、第26図（シリコンウェハの主面平面図）に示すシリコンウェハ10の全領域に、α線遮蔽用ポリイミド膜8を塗布し半硬化後、ホットエッチングしてボンディングパッド（外部端子）BPを露出させる（第24A図のステップ101）。

次に、溶剤可溶性ドライフィルムAを張り付ける（ステップ102）。この溶剤可溶性ドライフィ

ルムAに所定のパターンを露光し(ステップ103)、現像して孔Bをあける(ステップ104)。

次に、ペースト状の絶縁体(印刷ペースト)Cを塗布してスキージによる埋め込み(印刷スキージによる埋め込み)、キュアを行う(ステップ105, 106, 107)。次に、溶剤剥離形ドライフィルムAを剥離して絶縁性フィルム4Dを形成する。その後、第25図に示すシリコンウェハ10上の実線に沿ってダイシングして絶縁性フィルム4D付半導体チップが完成する。

前記α線遮蔽用ポリイミド膜8及び絶縁性フィルム4Dを形成する方法の他の実施例は、第24B図(製造流れ図と各工程でのチップの断面図)に示すように、シリコンウェハ10の全領域に、α線遮蔽用ポリイミド膜8を塗布して、ホトエッチングしてボンディングパッド(外部端子)BPを露出させる(第24B図のステップ201)。

次に、ソルダレジスト用ドライフィルムDを張り付ける(ステップ202)。このソルダレジスト用ドライフィルムDに所定のパターンを露光し

(ステップ203)、現像して絶縁性フィルム4D(ステップ204)を形成する。その後、第25図に示すシリコンウェハ10上の実線に沿ってダイシングして絶縁性フィルム4D付半導体チップを完成する。

なお、前記厚膜の絶縁性フィルム4Dをシリコンウェハプロセスで形成しても、部分的に形成するのでシリコンウェハ10は反らない。

また、第26図乃至第28図は、半導体チップ1の主面上に少なくとも信号用インナーリード3A、及び共用インナーリード3A、の先端及び吊りリードとが接合される箇所に形成される絶縁性フィルム4Dの種々のパターン形状を示す。

以上の説明からわかるように、本実施例Ⅲによれば、半導体チップ1のボンディングパッド(外部端子)BP以外の主面領域全域にα線遮蔽用ポリイミド膜8が被覆され、半導体チップ1の主面上に少なくとも信号用インナーリード3A、及び共用インナーリード3A、の先端とが接合される箇所に絶縁性フィルム4Dが形成されているので、

前記α線遮蔽用ポリイミド膜8で回路形成領域全域へのα線を遮蔽することができ、前記絶縁性フィルム4Dで半導体チップ1を接合固定することができる。

また、半導体チップ1の主面上に少なくともインナーリード3Aの先端及び吊りリード3Cとが接合される箇所に絶縁性フィルム4Dが形成されているので、半導体チップ1とインナーリード3Aとの間の浮遊容量を低減することができる。

また、前記絶縁性フィルム4Dが、印刷可能な熱機フィラを含有する熱硬化性樹脂であるので、ウェハプロセスにおいて、高精度の絶縁性フィルム4Dを形成することができる。

また、半導体チップ1の主面と反対側の面にポリイミド膜9を形成することにより、半導体チップ1とレジストとの接合が良好となるので、パッケージクラックを防止することができる。

また、前記絶縁性フィルム4Dが、少なくともシリコンウェハ10に溶剤剥離形ドライフィルムAを張り付け、通常の露光、現像工程を経たのち、

ペースト状の絶縁体(印刷ペースト)を塗布しスキージにより埋込み、加熱してキュアし、溶剤剥離形ドライフィルムを剥離することを含むウェハプロセスにより、絶縁性フィルム4Dが高精度にパッチ処理で形成されるので、生産性を向上することができる。

また、前記絶縁性フィルム4Dが、ソルダレジスト用ドライフィルムDの露光、現像のみにより形成されるので、さらに生産性を向上することができる。

〔実施例Ⅳ〕

本発明の実施例Ⅳの樹脂封止型導体装置は、第29図(一部断面斜視図)に示すように、前記実施例Ⅰの半導体チップ1の主面上に、複数の信号用インナーリード3A、及び共用インナーリード3A、が、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介して接合側で接合され、該複数の信号用インナーリード3A、及び共用インナーリード3A、と半導体チップ1とがボンディングワイヤ5で電気的に接続され、モールド樹脂

図2Aで封止された半導体装置において、第30図(第28図のホーホ線で切った樹脂モールド前の状態を示す断面図)に示すように、前記半導体チップ1の主面の一部をモールド樹脂よりも可塑性あるいは流動性のある物質20で覆ってその物質20がボンディングワイヤ5の全体を覆うようにせしめ、その物質20の外側を樹脂2Aで封止したものである。

すなわち、共用インナーリード3A₂をまたぐボンディングワイヤ5の全体を可塑性・流動性物質20が覆われるようにダム21を設け、そのダム21に例えば流動状態のシリコーンゲルからなる可塑性・流動性物質20をボンディングワイヤ5の上から滴下させ、硬化させたのち、トランスファモールドによって樹脂封止する。

前記ダム21は、例えば粘度高いシリカフィラを入れたシリコーンゴムを用いる。

また、前記可塑性・流動性物質20は、必ずしも前記のようなゲル状物質である必要はなく、内部でボンディングワイヤ5が変形できる程度の可塑

性はない。半導体チップ1の主面上のボンディングワイヤ5部分にポッティングできる樹脂があれば、その外側のトランスファモールドされた樹脂2Aと同程度の弾性率を有するエポキシ樹脂などであっても良い。

また、可塑性・流動性物質20が流動性を有している場合、その粘度は樹脂2Aのトランスファモールド時の熔融粘度よりも高いことが必要である。

また、可塑性・流動性物質20により、ボンディングワイヤ5に樹脂2Aが直接接していないので、温度サイクル時に半導体チップ1とモールド樹脂2Aの間の相対的な熱変形によってボンディングワイヤ5が繰返し変形を受け、疲労によって断線することもない。

また、可塑性・流動性物質20を使用する場合、ボンディングパッドBPの表面に、熱応力によって隙間が発生することもないので、ボンディングパッド部のアルミニウムが水分によって腐食することもない。

第31図は、可塑性・流動性物質20を使用する

性あるいは流動性を有していれば、シリコーン 그리스やシリコーンゴムなど種々の材料を用いてもよい。

このようにすることにより、吸湿したパッケージのリフロー半田付け時に、半導体チップ1の主面が剥離して蒸気が膨張しても、ボンディングワイヤ5が変形に自由に追従することができるので、ボンディングワイヤ5の断線を防止することができる。

また、モールド樹脂2Aのトランスファモールド時に、ボンディングワイヤ5の変形が拘束されているので、共用インナーリード3A₂をまたぐためにワイヤ5が長くなっている、モールド時のボンディングワイヤ5の変形やこれによるボンディングワイヤ5相互のショートあるいはボンディングワイヤ5と共用インナーリード3A₂との接触を防止することができる。

また、ボンディングワイヤ5の変形を防止するだけの目的であれば、ボンディングワイヤ5を覆う物質は、可塑性・流動性を有する物質である必

要はない。他の実施例の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

第31図に示すように、信号用インナーリード3A₂と樹脂2Aの間の界面は、半導体チップ1の主面に比べて隙間が発生しにくいので、ボンディングワイヤ5の信号用インナーリード3A₂側のボンディング部は、断線を生じにくい。従って、この実施例は、断線の生じやすい半導体チップ1側のボンディング部(ファーストボンディング)近傍のみ、可塑性・流動性物質20を設けたものである。これにより、ボンディングワイヤ5が自由に変形できれば、ある程度の断線防止効果が得られる。

また、この実施例は、前記第30図のダム21の代りに共用インナーリード3A₂を利用したものである。

ただし、この実施例の場合、ボンディングワイヤ5の全体が可塑性・流動性物質20で覆われていないので、パッケージに温度サイクルが作用した場合、半導体チップ1とモールド樹脂2Aとの間

の相対的な熱変形によってボンディングワイヤ5が繰返し変形を受けるので、第30図の実施例に比べて、疲労による断線を生じやすくなる。

また、樹脂2Aのトランスファモールド時のボンディングワイヤ5の変形防止に対しても、ある程度の防止効果がある。

また、可撓性・流動性物質20の量が少くなり、高さも低くできるので、リフロー半田付け時の断線防止、トランスファモールド時のワイヤ変形防止に効果があるだけでなく、パッケージ全体の厚さを薄くすることができ、実装密度を向上することができる。第32図は、可撓性・流動性物質20を使用する場合の他の実施例の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

この実施例は、第32図に示すように、ボンディングワイヤ5の全体が覆われるようにして、半導体チップ1の主面全面を可撓性・流動性物質20で覆ったものである。

前記第30図の実施例と同様の効果が得られ、

このような被覆を行うためには、まず溶媒で希釈して低粘度となった可撓性・流動性物質20を半導体チップ1上にたれ滴下してボンディングワイヤ5に付着させ、その後溶媒を蒸発させて形成する。

この場合、ボンディングワイヤ5の表面の可撓性・流動性物質20の層は、厚いほど断線の防止及びボンディングワイヤ5の変形防止の効果が大きい。

このように構成することによって、第30図に示す実施例のものと同様の効果を得るための可撓性・流動性物質20の量を低減することができるので、可撓性・流動性物質20とモールド樹脂2Aとの間に発生する蒸気圧によってパッケージクラックの発生を防止することができる。

第34図は、可撓性・流動性物質20を使用する場合の他の実施例の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

この実施例は、第34図に示すように、ボンディングワイヤ5を可撓性・流動性物質20で覆うと

さらに、半導体チップ1の主面全面を可撓性・流動性物質20で覆っているので、耐湿性を一層向上することができる。

ただし、可撓性・流動性物質20の表面積が大きくなるので、リフロー半田付け時にモールド樹脂2Aとの界面に隙間が発生し、蒸気圧が作用すると、上部のモールド樹脂2Aにクラックが発生しやすくなる。

第33図は、可撓性・流動性物質20を使用する場合の他の実施例の樹脂封止型半導体装置の樹脂モールド前の状態を示す断面図である。

この実施例は、第33図に示すように、前記半導体チップ1の主面の上に設けられたボンディングワイヤ5の全体のみをモールド樹脂2Aよりも可撓性あるいは流動性のある物質20で覆ったのである。

ボンディングワイヤ5を覆う可撓性・流動性物質20は、半導体チップ1の主面上に盛上った形状となっている必要はなく、ボンディングワイヤ5の表面にのみ付着していてもよい。

ともに、半導体チップ1の主面と反対面のモールド樹脂2Aに穴22を明け、半導体チップ1の一部を実質的に露出させる。

ここで、実質的とは、製造工程で不可避的に半導体チップ1の主面と反対面のモールド樹脂2Aの薄い被膜あるいはパッケージ2の内部に蒸気圧が発生した場合に容易に破れる程度の薄い樹脂層が存在する場合を想定している。

このように可撓性・流動性物質20によって、リフロー半田付け時、温度サイクル時のボンディングワイヤ5の断線を生じることなく、ボンディングパッドBP部の耐湿性を確保できるので、モールド樹脂2Aの一部分に前記穴22があいても、耐湿性が低下しない。

また、リフロー半田付け時にパッケージ内部に発生した蒸気は、前記穴22から外部に放散されるので、圧力が上昇することがなく、樹脂クラックを生じることがない。

また、前記穴22の半導体チップ1の主面と反対面は、完全に露出していなくても、蒸気圧で容易

に貫通できる程度の厚さであれば、モールド樹脂2Aが存在していても良い。

以上の説明からわかるように、前記実施例IVによれば、リフロー半田付け時に、半導体チップ1の主面が剥離して蒸気が膨張しても、ボンディングワイヤ5の断線を防止することができる。

また、トランスファモールド時に、ボンディングワイヤ5の変形によるワイヤ間のショート、あるいはボンディングワイヤ5と共用インナーリード3Aとの接触を防止することができる。

また、ボンディングパッドBP部の耐熱性不良及び温度サイクル時のボンディングワイヤ5の断線を生じることなく、リフロー半田付け時の樹脂クラックを防止することができる。

〔実施例V〕

本発明の実施例Vの樹脂封止型半導体装置は、第35図（断面図）に示すように、前記実施例Iの樹脂封止型半導体装置において、半導体チップ1の主面と反対面に凹部又は凸部101、例えば、円形の凹部を設けたものである。

れた凸部101の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に円形の凸部101aを設けたものである。

第39A図（平面図）及び第39B図（側面図）は、前記半導体チップ1の主面と反対面に設けられた凸部101の他の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に四角形の凸部101dを設けたものである。

第40A図（平面図）及び第40B図（側面図）は、前記半導体チップ1の主面と反対面に設けられた凹部101の他の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に楕円形の凹部101eを設けたものである。

第41A図（平面図）及び第41B図（側面図）は、前記半導体チップ1の主面と反対面に設けられた凹部又は凸部101の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に複数の溝を形成することにより凹部及び凸部101fを設けたものである。これは格子状に溝を設けてもよい。

この凹部101により、モールド樹脂2Aを半導体チップ1に拘束し、リフロークラックが生じる半導体チップ1の主面と反対面コーナ部のモールド樹脂部に発生する応力を低減し、リフロークラックを防止することができる。

また、凹部101の加工は、エッチングでも良い。また、他の方法で良い。

第36A図（第3図の主面と反対側から見た平面図）及び第36B図（第36A図の横中心線で切った断面図）は、前記半導体チップ1の主面と反対面に設けられた凹部101の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に縦状の凹部101aを設けたものである。

第37A図（平面図）及び第37B図（断面図）は、前記半導体チップ1の主面と反対面に設けられた凹部101の他の変形例を示す図であり、この例は前記半導体チップ1の主面と反対面に四角形の凹部101bを設けたものである。

第38A図（平面図）及び第38B図（側面図）は、前記半導体チップ1の主面と反対面に設けら

前述のように半導体チップ1の主面と反対面に、例えば凹部又は凸部101a～101fのうちいずれか一つを設けることにより、半導体チップ1をモールド樹脂2Aでより強固に拘束することができる。

また、半導体チップ1の主面と反対面のコーナ部によるモールド樹脂2Aに発生する応力を低減することができる。

第42図は、この実施例Vに関する本発明の他の実施例を示す図であり、前記実施例Vの半導体チップ1の主面と反対面に酸化珪素膜102を残した状態で、半導体チップ1の主面と反対面に、例えば前記凹部又は凸部101を設けたものである。

このように、半導体チップ1の主面と反対面に酸化珪素膜102を残した状態であることにより、酸化珪素膜102とモールド樹脂2Aとの接着力が強いので、半導体チップ1の主面と反対面でのモールド樹脂2Aの剥離を防止することができる。

また、凹部又は凸部101によって、モールド樹脂2Aで半導体チップ1を強固に拘束することができる。

〔実施例VI〕

本発明の実施例VIの樹脂封止型半導体装置は、第43図（一部断面斜視図）及び第44図（第43図のヘーヘ線で切った断面図）に示すように、前記実施例Iの半導体チップ1の主面上に、複数の信号用インナーリード3A、及び共用インナーリード3A、が、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介在して接着剤で接着され、該信号用インナーリード3A、及び共用インナーリード3A、と半導体チップ1とがボンディングワイヤ5で電気的に接続され、モールド樹脂2Aで封止された半導体装置において、パッケージ2の長手方向の側面の中央部に、電気的に前記半導体チップ1と絶縁された放熱用リード301aが設けられ、その一端は半導体チップ1の主面の発熱部分の上部まで延長され、該放熱用リード301aの他端はパッケージ2の半導体チップ1の主面と反対側の面の外部下部まで延長されている。

このようにパッケージの長手方向の側面の中央

発熱部分の上部まで延長されて設けられ、該放熱用リード301bの他端がパッケージ2の半導体チップ1の主面の外部上部まで延長されていることにより、半導体チップ1の発熱部の熱の放熱効率を向上することができる。

なお、前記放熱用リード301bの他端がパッケージ2の半導体チップ1の主面の外部上部まで延長されている部分を、第46図の点線で示すように、折り曲げて占有体積を小型化にしてもよい。

また、前記放熱用リード301a及び301bのリードフレームは、信号用リードフレームと同一リードフレームで作製する。

第47図（一部断面斜視図）及び第48図（第47図のチーチ線で切った断面図）は、前記第39図に示す実施例VIの変形例を示す図であり、放熱用リード301aの一端が半導体チップ1の主面の発熱部分と反対側面まで延長されて設けられ、該放熱用リード301aの他端はパッケージ2の半導体チップ1の主面のと反対側の面の外部下部まで延長されている。このようにパッケージの長

部に、電気的に半導体チップ1と絶縁された放熱用リード301aの一端が半導体チップ1の主面の発熱部分の上部まで延長されて設けられ、該放熱用リード301aの他端がパッケージ2の半導体チップ1の主面のと反対側の面の外部下部まで延長されていることにより、半導体チップ1の発熱部の熱の放熱効率を向上することができる。

第45図（一部断面斜視図）及び第46図（第45図のトート線で切った断面図）は、前記第43図に示す放熱用リード301aの変形例を示す図であり、この放熱用リード301bは、その一端が半導体チップ1の主面の発熱部分の上部まで延長され、該放熱用リード301bの他端がパッケージ2の半導体チップ1の主面の外部上部まで延長されたものである。

そして、放熱用リード301bの延長部は放熱板となっている。

このようにパッケージの長手方向の側面の中央部に、電気的に半導体チップ1と絶縁された放熱用リード301bの一端が半導体チップ1の主面の

手方向の側面の中央部に、電気的に半導体チップ1と絶縁された放熱用リード301aの一端が半導体チップ1の主面の発熱部分と反対側面まで延長されて設けられ、該放熱用リード301aの他端がパッケージ2の半導体チップ1の主面のと反対側の面の外部下部まで延長されていることにより、半導体チップ1の発熱部の熱の放熱効率を向上することができる。

前記放熱用リード301aの一端は、半導体チップ1とは絶縁性フィルムで必ずしも電気的に絶縁する必要はない。

なお、この場合、前記放熱用リード301aのリードフレームは、信号用リードフレームとは別に作製する。

〔実施例VII〕

本発明の実施例VIIの樹脂封止型半導体装置は、第49図（一部断面斜視図）及び第50図（第49図のリーリ線で切った断面図）に示すように、前記第1図に示す実施例Iの半導体チップ1の主面上に、複数の信号用インナーリード3A、と共

用インナーリード3A₁が、前記半導体チップ1と電気的に絶縁する絶縁性フィルム4を介して接着剤で接着され、該信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1とがボンディングワイヤ5で電気的に接続され、樹脂封止された半導体装置において、前記半導体チップ1の主面には、その主面上に配線されるボンディングワイヤ5と共用インナーリード3A₂と交差することのないボンディングパッドBPが配設したものである。

前記本実施例Ⅳの半導体チップ1の素子レイアウト及びボンディングパッドBPは、第51図(レイアウト平面図)に示すようになっている。

すなわち、DRAM1の表面の略全域にメモリセルアレイ(MA)が配設されている。本実施例ⅣのDRAM1は、これに限定されないが、メモリセルアレイは大きく8個のメモリセルアレイ11A~11Hに分割されている。同第47図中、DRAM1の上側に4個のメモリセルアレイ11A、11B、11C及び11Dが配設され、下側に4個のメモリセ

ルセルアレイ11Aと11Bの間、メモリセルアレイ11Cと11Dの間、メモリセルアレイ11Eと11Fの間、メモリセルアレイ11Gと11Hの間には、夫々周辺回路17及び外部端子BPが配設されている。また、メモリセルアレイ11A、11B、11C及び11Dの夫々の下側と、メモリセルアレイ11E、11F、11G及び11Hの夫々の上側の領域に、周辺回路17及び周辺回路18が設けられている。周辺回路17としては、メインアンプ回路、出力バッファ回路、基準電位発生回路(V_{ss}ジェネレータ回路)、電源回路の夫々を配設している。

前記周辺回路18としては、ロウアドレスストロープ(RE)系回路、ライトイネーブル(W)系回路、データ入力バッファ回路、V_{cc}用リミッタ回路、Xアドレスドライバ回路(論理段)、X系冗長回路、Xアドレスバッファ回路、カラムアドレスストロープ(CE)系回路、テスト回路、VDL用リミッタ回路、Yアドレスドライバ回路(論理段)、Y系冗長回路、Yアドレスバッファ回路、Yアドレスドライバ回路(ドライブ段)、Xアドレスド

ライバ回路(ドライブ段)、マツト選択信号回路(ドライブ段)の夫々が配設されている。この8個に分割されたメモリセルアレイ11A~11Hの夫々は、さらに16個のメモリセルアレイ(MA)11に細分化されている。つまり、DRAM1は、128個のメモリセルアレイ11Eを配設する。この128個に細分化された1個のメモリセルアレイ11は128[*bit*]の容量で構成されている。

前記DRAM1の128個に細分化されたうちの2個のメモリセルアレイ11の間には夫々センスアンプ回路(SA)13が配設されている。センスアンプ回路13は相補型MOSFET(CMOS)で構成されている。DRAM1の8個に分割されたうちのメモリセルアレイ11A、11B、11C及び11Dの夫々の下側の一端にはカラムアドレスデコード回路(YDEC)12が配設されている。同様に、メモリセルアレイ11E、11F、11G及び11Hの夫々の上側の一端にはカラムアドレスデコード回路(YDEC)12が配設されている。

前記DRAM1の8個に分割されたうちのメモ

リセルアレイ11Aと11Bの間、メモリセルアレイ11Cと11Dの間、メモリセルアレイ11Eと11Fの間、メモリセルアレイ11Gと11Hの間には、夫々周辺回路17及び外部端子BPが配設されている。また、メモリセルアレイ11A、11B、11C及び11Dの夫々の下側と、メモリセルアレイ11E、11F、11G及び11Hの夫々の上側の領域に、周辺回路17及び周辺回路18が設けられている。周辺回路17としては、メインアンプ回路、出力バッファ回路、基準電位発生回路(V_{ss}ジェネレータ回路)、電源回路の夫々を配設している。

前記周辺回路18としては、ロウアドレスストロープ(RE)系回路、ライトイネーブル(W)系回路、データ入力バッファ回路、V_{cc}用リミッタ回路、Xアドレスドライバ回路(論理段)、X系冗長回路、Xアドレスバッファ回路、カラムアドレスストロープ(CE)系回路、テスト回路、VDL用リミッタ回路、Yアドレスドライバ回路(論理段)、Y系冗長回路、Yアドレスバッファ回路、Yアドレスドライバ回路(ドライブ段)、Xアドレスドライバ回路(ドライブ段)、マツト選択信号回路(ドライブ段)の夫々が配設されている(第4図及びその説明を参照)。

前記外部端子BPは、前記樹脂封止型半導体装置2をLOC構造で構成し、DRAM1の中央部までインナーリード3Aを引き伸している。DRAM1の中央部分に配設され、かつ前記半導体チップ1の主面に、その主面上に配線されるボンディングワイヤ5と共用インナーリード3Aと交差することのないように配設されている。

外部端子1は、メモリセルアレイ11A、11B、11C、11D、11E、11F、11G及び11Hの夫々で

限定された領域内に、DRAM1の上端側から下端側に向って配置されている。外部端子BPに印加される信号は、前述の第1図に示す樹脂封止型半導体装置2において説明したので、ここでの説明は省略する。

基本的には、DRAM1の表面上の上端側から下端側に向って基準電圧(V_{ss})、電源電圧(V_{cc})の夫々が印加されたインナーリード3Aが延在す

るので、DRAM1はその延在方向に沿って基準電圧(V_{ss})用、電源電圧(V_{cc})用の夫々の外部端子BPを複数配置している。つまり、DRAM1は基準電圧(V_{ss})、電源電圧(V_{cc})の夫々の電源の供給が充分に行えるように構成されている。

前述のように、本実施例Ⅵによれば、前記半導体チップ1の主面には、その主面上に配線されるボンディングワイヤ5と共用インナーリード3A、と交差することのないボンディングパッドBPが配置されているので、複数の信号用インナーリード3A、と半導体チップ1とを接続するためのボンディングワイヤ5と、共用インナーリード3A、のショートを防止することができる。

次に、リードフレームの詳細について説明する。

第52図(リードフレーム全体平面図)に示すように、本実施例Ⅵのリードフレーム3は、20本の信号用インナーリード3A、と2本の共用インナーリード3A、が設けられている。前記インナーリード3A、は、前記第50図(断面図)に示すように、その信号用インナーリード3A、の

リードフレームの変形例であり、半導体チップ1の主面と反対側面を固定するために通電しないインナーリード3C、(吊りリード)を折り曲げたものである。

そして、第54A図(半導体チップ固定部断面図)及び第56図(樹脂モールドする前の状態における信号用インナーリード部及び共用インナーリード部の断面図)に示すように、複数の信号用インナーリード3A、と共用インナーリード3A、が半導体チップ1の主面から浮いた状態で配設される(第56図)ように、前記吊りリード3C、で前記半導体チップ1が接着剤7により接着固定される。

前記接着剤7としては、エポキシ系樹脂、レゾール系樹脂等の前述した接着剤のいずれであってもよい。

また、前記吊りリード3C、と前記半導体チップ1との間に絶縁性フィルム4を介在させて接着してもよい。

この場合、前記複数の信号用インナーリード3

絶縁性フィルム(絶縁体)4と接着する部分よりアウターリード3B側の部分と半導体チップ1との間隔が、前記絶縁性フィルム(絶縁体)4と接合する部分と半導体チップ1との間隔より広くなるような段差構造になっている。このようにインナーリード3Aを段差構造にしたことにより、半導体チップ1と信号用インナーリード3A、との間の浮遊容量が従来のものに比べて小さくなるので、信号伝送速度の向上及び電気ノイズの低減を図ることができる。

本実施例Ⅵにおいて、前記半導体チップ1の主面上のボンディングパッドBPの配置及びリードフレーム以外のものについては、前記実施例Ⅰのものと同じである。

なお、前記実施例Ⅱ～Ⅴの技術は、本実施例Ⅵに適用できることは勿論である。

(実施例Ⅶ)

本発明の実施例Ⅶの樹脂封止型半導体装置は、第53図(本実施例Ⅶのリードフレームの断面略構成を示す断面図)に示すように、前記実施例Ⅰの

A、及び共用インナーリード3A、の夫々と半導体チップ1のボンディングパッドBPとをボンディングワイヤ5で接続する時は、信号用インナーリード3A、及び共用インナーリード3A、を半導体チップ1に上から治具により押え付けて固定し、ワイヤボンディングを行う。このワイヤボンディングが終り前記押え治具をはずすと、前記吊りリード3C、のスプリングバック効果により、信号用インナーリード3A、及び共用インナーリード3A、は、第56図に示す状態となる。

また、第54B図に示すように、例えば、前述した実施例Ⅰに適用したリードフレーム3の吊りリード3Cと前記半導体チップ1の主面との間に所定厚さの絶縁性フィルム4を介在させて接着剤7で接着固定することにより前記信号用インナーリード3A、と共用インナーリード3A、が半導体チップ1の主面から浮いた状態で配設される(第56図)ようにしてもよい。この場合、前記絶縁性フィルム4の厚さは、 150μ 程度が一般的であるが、これ以上の厚さにすることも可能であ

る。

また、第55図（樹脂モールドする前の状態を示す断面図）に示すように、例えば、前記信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1の主面との間に絶縁板40が挿入され、前記信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1とをボンディングワイヤ5で電気的に接続し、モールド樹脂で封止されたものにしてもよい。

また、第57図（樹脂モールドする前の状態を示す断面図）に示すように、前記絶縁板40が前記信号用インナーリード3A₁と共用インナーリード3A₂の左右のうち一方、例えば左側の信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1の主面との間のみに挿入され、右側の信号用インナーリード3A₁と共用インナーリード3A₂は半導体チップ1の主面から浮いた状態で前記信号用インナーリード3A₁と共用インナーリード3A₂と半導体チップ1とがボンディングワイヤ5で電気的に接続され、モールド

樹脂で封止されてもよい。

また、例えば、前記複数の信号用インナーリード3A₁と共用インナーリード3A₂が半導体チップ1の主面から浮いた状態で配設される（第56図）ようにするために、第54C図に示すように、前記吊りリード3C₁を深く折り曲げて吊りリード3C₂を形成し、この吊りリード3C₂により前記半導体チップ1の主面と反対側面を接着固定するようにしてもよい。このようにすることにより、信号用インナーリード3A₁と共用インナーリード3A₂が半導体チップ1の主面から浮いた状態で配設されるように、前記吊りリード3C₂で前記半導体チップ1の主面と反対側面が接着固定されるので、絶縁性フィルム4を接着する工程が不要になる。また、半導体チップ1の固定が強固となる。また、メモリセル上にリード線を接着しないので、メモリセルの破損を低減することができる。

前述のように、本実施例Ⅳによれば、絶縁性フィルム4を不使用又は最小限にすることにより、

吸湿が低減することができるので、耐半田リフロー性を有利することができる。

なお、前記実施例Ⅳにおいて、前記半導体チップ1のボンディングパッド以外の主面領域全域にε絶縁層用ポリイミド膜が塗布されることが好ましい。

〔実施例Ⅴ〕

本発明の実施例Ⅴの樹脂封止型半導体装置は、第58図及び第59図（半導体チップ上のレイアウト図）に示すように、インナーリードと接続されるボンディングパッドBP（半田パンプ5C）が鏡面对称に形成された2個の半導体チップ1Aと1Bを設ける。

第58図においては、CAS0端子（ボンディングパッドBP）とCAS1端子（ボンディングパッドBP）とを分けて、他の端子（ボンディングパッドBP）は共通となっている。このようなレイアウトにすると、ワード方向の容量が2倍となる。

第59図においては、D0端子とD1端子とを

分けて、他の端子は共通となっている。このようなレイアウトにすることにより、ビット方向の容量が2倍になる。

そして、第60図（パッケージの説明用断面図）に示すように、この2個の半導体チップ1Aと1Bの夫々の主面側でインナーリード3Aを挟んでインナーリード3Aと半導体チップ1のボンディングパッドBPとを半田パンプ5Cにより電気的に接続し、モールド樹脂封止したものである。

このようにインナーリード3AとのボンディングパッドBPが鏡面对称に形成された2個の半導体チップ1Aと1Bとで、夫々の主面側でインナーリード3Aを挟んでインナーリード3Aと半導体チップ1のボンディングパッドBPとを半田パンプ5Cにより電気的に接続し、モールド樹脂封止したので、パッケージ2の外形を炭化させずに容量が2倍の素子を実装することができる。

〔実施例Ⅵ〕

本発明の実施例Ⅵの樹脂封止型半導体装置は、第61図（実施例Ⅵの樹脂封止型半導体装置の配

線基板と対向する面側から見た斜視図)及び第62図(第61図のルール線で切った断面図)に示すように、前記実施例1の半導体装置のパッケージ2の基板と対向する面に、外部に向けて開口している放熱用溝50が設けられている。この場合、放熱用溝50の底面50Aと半導体チップ1との距離、すなわち半導体チップ1の下部のモールド樹脂2Aの厚さ寸法は 0.3mm 以下にされている。

このように、放熱用溝50を設けることにより、第68図及び第69図(実施例Xの樹脂封止型半導体装置を配線基板に実装した状態を示す断面図)に示すように、基板51A又は51Bと放熱用溝50の底面50Aとの隙間51Dが大きくなり、紙面垂直方向に送風して冷却を行えば、この隙間51Dにも空気が流れるため、放熱用溝50の底面50Aからも放熱が行われ、半導体装置の熱抵抗が低減する。

なお、本実施例の構造では、半導体チップ1下のモールド樹脂2Aの厚さが薄くなり、樹脂モールド時に工夫が必要であるが、モールド時の流動粘度が低いモールド樹脂2Aを用いれば、第61

図のように、パッケージ2を形成することができる。

次に、前記実施例Xの樹脂封止型半導体装置の変形例を第63図(断面図)に示す。

この変形例の半導体装置は、第63図に示すように、前記第61図に示すパッケージ2の上面にも、開口する放熱用溝53を設けたものである。放熱用溝50の底面50A及び放熱用溝53の底面53Aと半導体チップ1との夫々の距離、すなわち、半導体チップ1の下部及び上部のモールド樹脂の夫々の厚さ寸法は 0.3mm 以下にしている。

このようにパッケージ2の半導体チップ1の上部のモールド樹脂2Aを薄くすることにより、伝熱面が増加し、半導体装置の熱抵抗が低減するので、全体の熱抵抗はその分だけ低減することができる。また、第69図に示すように、半導体装置を基板51A及び51B上に並べる際の間隔を溝の深さ寸法の2倍だけ短かくすることができるので、実装密度を大きくすることができる(詳細は後で述べる)。

前記実施例Xの半導体装置の他の変形例を第64図又は第65図に示す。

この変形例の半導体装置は、第64図又は第65図に示すように、前記第62図又は第63図に示すパッケージ2の半導体チップ1の下部モールド樹脂2Aを除去して半導体チップ1の主面と反対側の面を露出したものである。

このようにパッケージ2の半導体チップ1の下部モールド樹脂2Aを除去して半導体チップ1の主面と反対側の面を露出したことにより、さらに半導体装置の熱抵抗が低減するので、全体の熱抵抗はその分だけ低減することができる。

これにより、半導体チップ1のコナ部からの湿度サイクルによるクラックの発生を防止することができる。

前記実施例Xの半導体装置の他の変形例を第66図又は第67図に示す。

この変形例の半導体装置は、第66図又は第67図に示すように、前記第62図及び第64図に示すパッケージ2の半導体チップ1の下部モールド

樹脂2Aを除去して半導体チップ1の主面と反対側の面を露出したものにおいて、半導体チップ1とアウターリード3Bとの関係を逆にしたものである。

このようにすることにより、実装基板51に対して上面の冷却が支配的な場合に冷却効率を向上することができる。

なお、前記第66図又は第67図に示す変形例において、パッケージ2の基板51側にも放熱用溝を設けてもよい。

次に、本発明の前記第61図乃至第67図に示す樹脂封止型半導体装置の基板の実装方法の一実施例について説明する。

前記第61図乃至第67図に示す樹脂封止型半導体装置の基板の実装方法の一実施例は、第68図に示すように、例えば、第61図に示す樹脂封止型半導体装置60A乃至60Hを基板51A及び51Bのそれぞれの両面に半田61により面実装される。

このように樹脂封止型半導体装置60A乃至60Hを基板51A及び51Bに実装することにより、半導

体装置の実装密度を向上することができると共に、パッケージ2の基板51A及び51B側からも放熱が可能となる。すなわち、樹脂封止型半導体装置80A乃至80Hの放熱は、それぞれのパッケージ2とこれらが実装される基板51A又は51Bとの隙間51Dによって行うので、送風の抵抗を低減して放熱効率を向上することができる。

また、第69図に示すように、例えば、前記第63図に示す実施例の樹脂封止型半導体装置のパッケージ2の上部の放熱用溝53と凸部54を合せて2枚の基板51A、51Bの間に実装する。

このように樹脂封止型半導体装置を実装することにより、半導体装置の実装密度をさらに向上することができる。パッケージ2の基板51A又は基板51B側からも放熱が可能となる。すなわち、基板51A又は基板51Bの上に樹脂封止型半導体装置を並べる際の間隔を溝の深さ寸法の2倍だけ短くすることができるので、実装密度を大きくすることができる(第64図の例の1.5倍である)。

また、樹脂封止型半導体装置の放熱は、そのパ

子)を行列状に複数配置している。前記周辺回路は、直接周辺回路及び間接周辺回路で配置されている。直接周辺回路は、メモリセルの情報書き込み動作や情報読出し動作を直接制御する回路である。直接周辺回路は、ロウアドレスデコード回路、コラムアドレスデコード回路、センスアンプ回路等を含む。間接周辺回路は、前記直接周辺回路の動作を間接的に制御する回路である。間接周辺回路は、クロック信号発生回路、バッファ回路等を含む。

前記DRAM1の主面つまり前記メモリセルアレイ及び周辺回路を配置した表面上には、インナーリード3Aを配置している。DRAM1とインナーリード3Aとの間には、絶縁性フィルム4を介在している。絶縁性フィルム4は、例えばポリイミド系樹脂膜で形成されている。この絶縁性フィルム4のDRAM1側、インナーリード3A側の夫々の表面には、接着層(図示しない)が設けられている。接着層としては、例えばポリエーテルアミドイミド系樹脂やエポキシ系樹脂を使用する。

パッケージ2とこれらが実装される基板51A又は基板51Bとの隙間51Dによって行うので、送風の抵抗を低減して放熱効率を向上することができる。

(実施例Ⅱ)

本発明の実施例ⅡであるDRAMを封止する樹脂封止型半導体装置を第70図(全体外観斜視図)及び第71図(第70図の一部断面斜視図)に示す。

第70図及び第71図に示すように、DRAM(半導体チップ)1は、Z.I.P(Zigzag In-line Package)型の樹脂封止型パッケージ2で封止されている。前記DRAM1は、16[Mbit]×1[bit]の大容量で構成され、16.48[mm]×8.54[mm]の平面長方形状で構成されている。このDRAM1は、450[mil]の樹脂封止型パッケージ2に封止される。

前記DRAM1の主面には、第71図に示すように、主にメモリセルアレイ及び周辺回路が配置されている。メモリセルアレイは、後に詳述するが、1[bit]の情報を記憶するメモリセル(記憶素

この種のパッケージ2は、DRAM1上にインナーリード3Aを配置したLOC(Lead On Chip)構造を採用している。LOC構造を採用するパッケージ2は、DRAM1の形状に規制されずにインナーリード3Aを自由に引き回せるので、この引き回しに相当する分、サイズの大きなDRAM1を封止することができる。つまり、LOC構造を採用するパッケージ2は、大容量化に基づきDRAM1のサイズが大型化しても、封止サイズ(パッケージサイズ)は小さく抑えられるので、実装密度を高めることができる。

前記インナーリード3Aはその一端側をアウターリード3Bと一体に構成している。アウターリード3Bは、標準規格に基づき、夫々に印加される信号が規定され、番号が付されている。第70図及び第71図中、上段の左端から1番端子、3番端子、5番端子、・・・21番端子、23番端子と奇数番端子が順次設けられ、下段の左端から2番端子、4番端子、6番端子、・・・22番端子、24番端子と偶数番端子が順次設けられてい

る。つまり、このパッケージ2は上段に12個の端子、下段に12個の端子の合計24端子で構成されている。

前記1番端子はアドレス信号端子(A_0)、2番端子は空き端子、3番端子はカラムアドレスストロブ信号端子(\overline{CE})、4番端子は空き端子、5番端子はデータ出力信号端子、6番端子は基準電圧 V_{ss} 端子である。前記基準電圧 V_{ss} は例えば回路の動作電圧0[V]である。7番端子は電源電圧 V_{cc} 端子である。前記電源電圧 V_{cc} は例えば回路の動作電圧5[V]である。

8番端子はデータ入力信号端子(D)、9番端子は空き端子、10番端子はライトイネーブル信号端子(\overline{WE})、11番端子はロウアドレスストロブ信号端子(\overline{RE})、12番端子はアドレス信号端子(A_{11})、13番端子はアドレス信号端子(A_{10})である。14番端子はアドレス信号端子(A_9)、15番端子はアドレス信号端子(A_8)、16番端子はアドレス信号端子(A_7)、17番端子はアドレス信号端子(A_6)、18番端子は電源電圧 V_{cc} 端

子に超音波振動を併用したボンディング法によりボンディングされている。

前記インナーリード3Aのうち7番端子、18番端子の夫々のインナーリード(V_{cc})3Aは、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(V_{cc})3Aは共用インナーリード又はバスバーインナーリードと言われている)。同様に、6番端子、19番端子の夫々のインナーリード(V_{ss})3Aは、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(V_{ss})3Aは共用インナーリード又はバスバーインナーリードと言われている)。インナーリード(V_{cc})3A、インナーリード(V_{ss})3Aの夫々は、その他のインナーリード3Aの他端側の先端で規定された領域内において平行に延在させている。このインナーリード(V_{cc})3A、インナーリード(V_{ss})3Aの夫々はDRAM1の主面のどの位置においても電源電圧 V_{cc} 、基準電圧 V_{ss} を供給することができるよう構成されて

子である。前記電源電圧 V_{cc} は例えば回路の動作電圧5[V]である。

19番端子は基準電圧 V_{ss} 端子であり、該基準電圧 V_{ss} は例えば回路の動作電圧0[V]である。

20番端子はアドレス信号端子(A_5)、21番端子はアドレス信号端子(A_4)、22番端子はアドレス信号端子(A_3)、23番端子はアドレス信号端子(A_2)、24番端子はアドレス信号端子(A_1)である。

前記インナーリード3Aの他端側は、DRAM1の長方形の夫々の長辺を横切り、DRAM1の中央側に引き伸ばされている。インナーリード3Aの他端側の先端はボンディングワイヤ5を介在させてDRAM1の中央部分に配列された外部端子(ボンディングパッド)BPに接続されている。ボンディングワイヤ5はアルミニウム(Al)ワイヤを使用する。また、ボンディングワイヤ5としては、金(Au)ワイヤ、銅(Cu)ワイヤ、金属ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等を使用してもよい。ボンディングワイヤ5は熱圧

いる。つまり、このパッケージ2は、電磁ノイズを吸収し易く構成され、DRAM1の動作速度の高速化を図れるように構成されている。

前記DRAM1の長方形の短辺にはチップ支持用リード3Cが設けられている。

前記インナーリード3A、アウターリード3B、チップ支持用リード3Cの夫々はリードフレームから切斷されかつ成型されている。リードフレームは例えばFe-Ni(例えばNi含有率42又は50[%])合金、Cu等で形成されている。

前記DRAM1、ボンディングワイヤ5、インナーリード3A及びチップ支持用リード3Cは樹脂封止部8で封止されている。樹脂封止部8は、低応力化を図るために、フェノール系硬化剤、シリコンゴム及びフィラーが添加されたエポキシ樹脂を使用している。シリコンゴムはエポキシ樹脂の弾性率と同時に熱膨張率を低下させる作用がある。フィラーは球形の酸化珪素粒で形成されており、同様に熱膨張率を低下させる作用がある。

以上の説明からわかるように、本実施例Ⅱによれば、ZIP型のパッケージの16MDRAM1を縦型実装方式で基板に実装するので、その実装密度を向上することができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

- (1)、半導体装置の信頼性を向上することができる。
- (2)、半導体装置において、半導体チップとリード間の浮遊容量による信号伝送速度の向上及び電気ノイズの低減を図ることができる。
- (3)半導体装置において、発熱された熱の放熱効率の向上を図ることができる。
- (4)、半導体装置において、リフロー時の熱の

影響を低減することができる。

(5)、半導体装置において、温度サイクルにおける熱の影響を低減することができる。

(6)、半導体装置において、成形欠陥の発生を防止することができる。

(7)、半導体装置において、生産性の向上を図ることができる。

(8)、半導体装置において、耐湿性の向上を図ることができる。

以下、余白

第 1 表

製 成 部	材 質	実 施 例 1		実 施 例 2		実 施 例 3	
		成分名	割合	成分名	割合	成分名	割合
重 量 部	ベース樹脂	エポキシ樹脂	63	レゾール型フェノール樹脂	80	エポキシ樹脂	70
		ノボラック型フェノール樹脂	37	エポキシ樹脂	20	エポキシアクリレート樹脂	30
	硬化触媒	トリフェニルホスフィン	1	2-フェニル-1,3,5-トリメチル-4-ヒドロキシベンゼン	1	ジクミルパーオキサイド	0.5
	触媒剤	カルバミレート型樹脂	10	—	—	カルバミレート型樹脂	8
		三酸化アンチモン	5	—	—	三酸化アンチモン	2
	可塑化剤	エポキシ樹脂シリコン	10	アミン樹脂シリコン	10	ビニル樹脂シリコン	10
	フィラ	球形微細シリカ	520	球形微細シリカ	480	球形微細シリカ	520
	カップリング剤	エポキシシラン	3	アミノシラン	3	アミノシラン	3
	潤滑剤	モンタン酸エステル	1	モンタン酸エステル	1	モンタン酸エステル	1
	着色剤	カーボンブラック	1	カーボンブラック	1	カーボンブラック	1
成 形 性	溶融粘度(ρ), at 180°C	215		150		200	
	スパイラルフロー(1inch)	35		30		40	
	熱時硬度, 180°C/80s後	85		85		88	
	ガラス転移温度(°C)	185		220		215	
	線膨張係数($10^{-7}/^{\circ}\text{C}$)	1.3		1.1		1.1	
	曲げ強度	13.5		14.5		13.2	
	(kgf/cm^2)	215°C	1.2	8.5		5.5	
	体積抵抗率	3.6×10^{14}		1.2×10^{14}		8.5×10^{14}	
	($\Omega \cdot \text{cm}$)	140°C	4.0×10^{14}	8.5×10^{13}		5.0×10^{14}	
	吸湿率(%)	0.8		0.8		1.0	
硬 化 物 性	吸湿性(UL-94, 1.6mm厚)	V-0		V-0		V-0	
	抽出液特性	pH	4.0	4.2		4.0	
	(120°C/168h抽出後)	電気伝導度($\mu\text{S}/\text{cm}$)	85	65		150	
		CL ⁻ (ppm)	3.2	<1		<1	

第 2 表

洗浄回数	抽出液特性								樹脂特性	
	pH	電気伝導度 ($\mu\text{S}/\text{cm}$)	イオン性不純物 (ppm) * 1						軟化温度 ($^{\circ}\text{C}$)	ゲルタイム (sec) * 2
			Cl^-	Br^-	Na^+	K^+	Zn^{+2}	NH_4^+		
0回	3.0	1500	75	5	30	15	250	<1	62	31
1回	3.3	350	15	<1	8	3	75	<1	65	37
2回	3.4	125	3	<1	2	<1	18	<1	65	40
3回	3.4	50	<1	<1	<1	<1	3	<1	68	42
4回	3.5	27	<1	<1	<1	<1	<1	<1	70	42
5回	3.5	20	<1	<1	<1	<1	<1	<1	73	43
6回	3.6	18	<1	<1	<1	<1	<1	<1	75	45

* 1 抽出液中の濃度を示す。

* 2 JIS-K-5809(熱板法)による。

4. 図面の簡単な説明

第1図は、本発明の実施例IであるDRAMを封止する樹脂封止型半導体装置の部分断面斜視図、

第2図は、第1図の平面図

第3図は、第2図のイーイ線で切った断面図、

第4図は、第1図に示すDRAMの概略構成を示すレイアウト図、

第5図は、第1図に示すリードフレームの全体平面図、

第6図及び第7図は、第1図に示すインナーリードと半導体チップとの関係を示す要部断面図、

第8図は、第1図に示す絶縁体の他の実施例である樹脂成型体部の概略構成を示す断面図、

第9図は、第8図のロー口線で切った断面図、

第10図は、第8図の樹脂成型体と半導体チップとの接着部を示す図、

第11図は、第1図に示す半導体チップ、絶縁体、リードフレームの関係を示す組立展開図、

第12図、第13図及び第14図は、モールド樹脂材料の特性を説明するための図、

第15図乃至第19図は、第1図に示す樹脂封止型半導体装置のモールド樹脂を金型に注入するのに最適なパッケージを説明するための図、

第20図、第21A図、第21B図、第22A図及び第22B図は、本発明の実施例IIの樹脂封止型半導体装置の概略構成及びその製造方法を説明するための図、

第23図乃至第28図は、本発明の実施例IIIの樹脂封止型半導体装置の概略構成及びその製造方法を説明するための図、

第29図は、本発明の実施例IVの樹脂封止型半導体装置の概略構成を示す一部断面斜視図、

第30図は、第29図のホーホ線で切った樹脂モールド筒の状態を示す断面図、

第31図は、第29図の可換性・流動性物質を使用する場合の他の実施例の樹脂封止型半導体装置の樹脂モールド筒の状態を示す断面図、

第32図、第33図は、可換性・流動性物質を使用する場合の他の実施例の樹脂封止型半導体装置の樹脂モールド筒の状態を示す断面図、

第34図は、可換性・流動性物質を使用する場合の他の実施例の樹脂封止型半導体装置の樹脂モールド部の状態を示す断面図。

第35図は、本発明の実施例Vの樹脂封止型半導体装置の概略構成を示す断面図。

第36A図、第37A図、第38A図、第39A図、第40A図、第41A図は、第35図の半導体チップの裏形の主面と反対側から見た平面図、

第36B図、第37B図、第38B図、第39B図、第40B図及び第41B図は、それぞれ第36A図、第37A図、第38A図、第39A図、第40A図及び第41A図の横中心線で切った断面図。

第42図は、この実施例Vに関する本発明の他の実施例を示す図。

第43図は、本発明の実施例VIの樹脂封止型半導体装置の概略構成を示す一部断面斜視図。

第44図は、第43図のヘーヘ線で切った断面図。

第45図は、本発明の実施例VIの変形例の樹脂封止型半導体装置の概略構成を示す一部断面斜視図。

第54A図、第54B図及び第54C図は、夫々本発明の実施例VIIの樹脂封止型半導体装置の半導体チップ固定部断面図。

第55図、第56図及び第57図は、本発明の実施例VIIIの樹脂封止型半導体装置の変形例の樹脂モールドする前の状態を示す断面図。

第58図及び第59図は、本発明の実施例IXの樹脂封止型半導体装置の半導体チップ上のレイアウト図)

第60図は、本発明の実施例IXの樹脂封止型半導体装置のパッケージの説明用断面図。

第61図は、実施例Xの樹脂封止型半導体装置の配線基板と対向する面側から見た斜視図。

第62図は、第61図のルール線で切った断面図。

第63図は、前記実施例Xの樹脂封止型半導体装置の変形例の断面図。

第64図、第65図、第66図及び第67図は、前記実施例Xの半導体装置の他の変形例の断面図。

封止型半導体装置の概略構成を示す一部断面斜視図。

第46図は、第45図のトート線で切った断面図。

第47図は、本発明の実施例VIの変形例の樹脂封止型半導体装置の概略構成を示す一部断面斜視図。

第48図は、第47図のチーチ線で切った断面図。

第49図は、本発明の実施例VIIの樹脂封止型半導体装置の概略構成を示す一部断面斜視図。

第50図は、第49図のリーリ線で切った断面図。

第51図は、前記実施例VIIの半導体チップの素子レイアウト及びボンディングパッドBPのレイアウト平面図。

第52図は、前記実施例VIIのリードフレーム全体平面図。

第53図は、本発明の実施例VIIIの樹脂封止型半導体装置のリードフレームの概略構成を示す平面図。

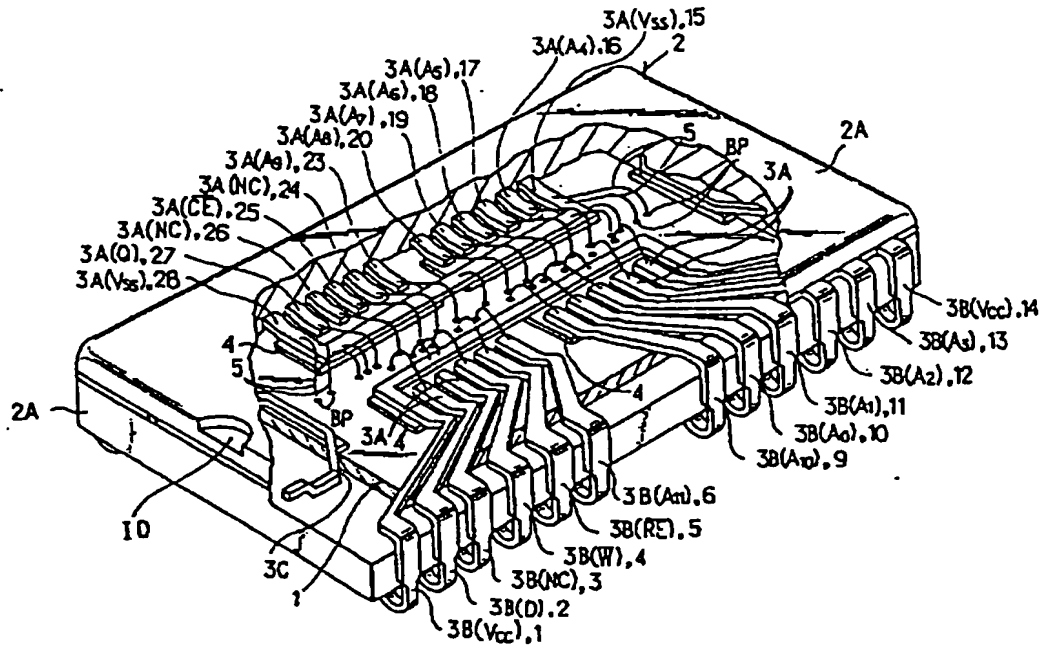
第68図及び第69図は、前記実施例Xの樹脂封止型半導体装置を配線基板に実装した状態を示す断面図。

第70図は、本発明の実施例IXであるDRAMを封止する樹脂封止型半導体装置の概略構成を示す全体外観斜視図。

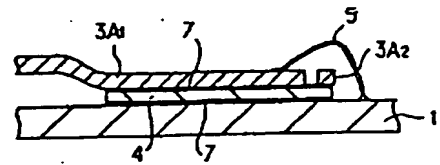
第71図は、第70図の一部断面斜視図である。图中、1…DRAM、2…樹脂封止型パッケージ、3…リードフレーム、3A…インナーリード、3A₁…信号用インナーリード、3A₂…共用インナーリード、3B…フッターリード、3C、3C₁…支持用リード（吊りリード）、4、4A、4B、4C、4D…絶縁性フィルム、5…ボンディングワイヤ、6…樹脂成形体、7…接着剤、8…α線遮蔽用ポリイミド膜、9…ポリイミド膜、10…シリコンウェハ、11、11A、11B、11C、11D、11E、11F、11G、11H…メモリエルアレイ。

代理人 弁理士 秋田収喜

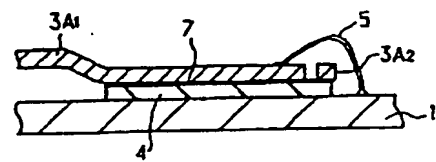
第1図



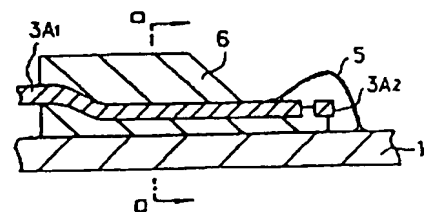
第6図



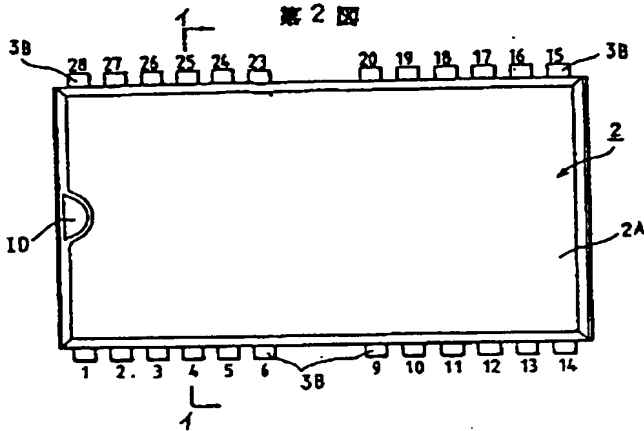
第7図



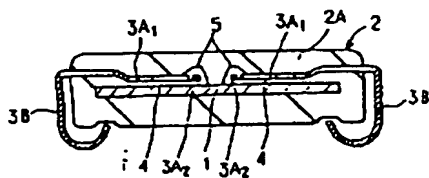
第8図

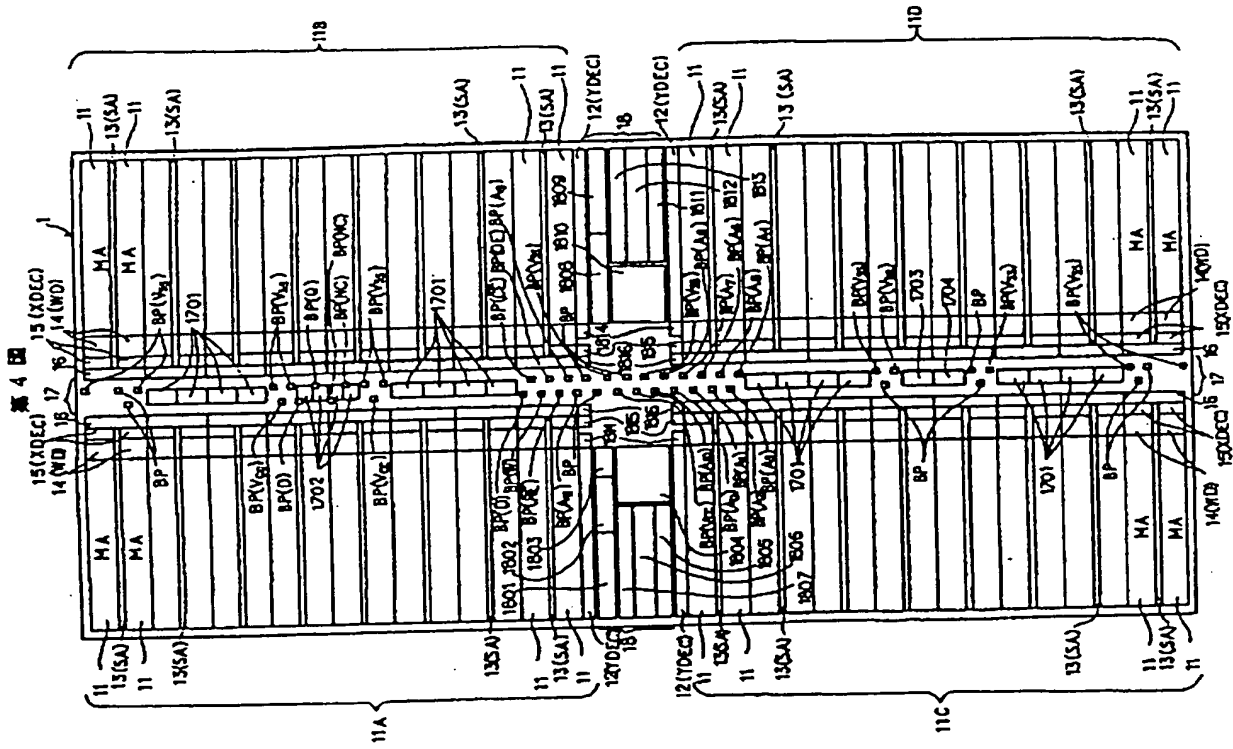


第2図

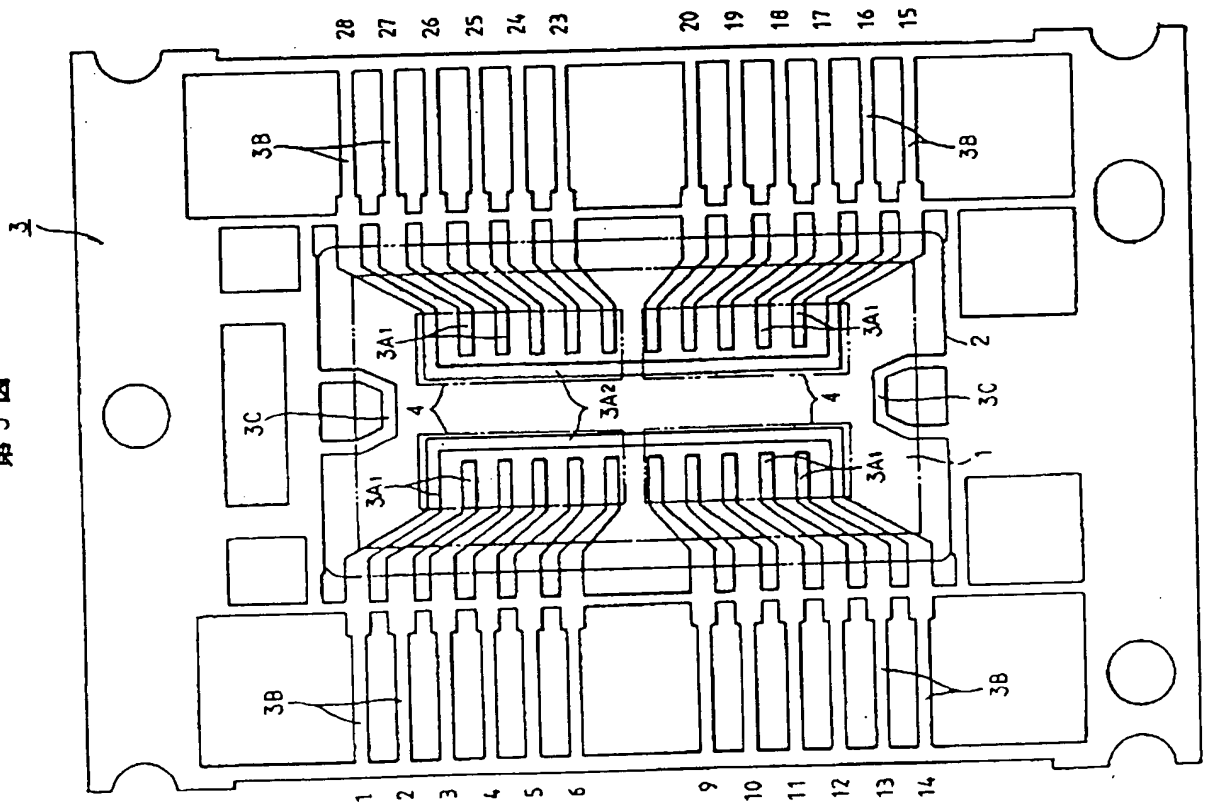


第3図

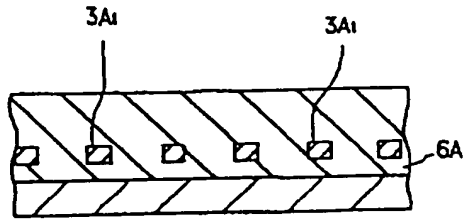




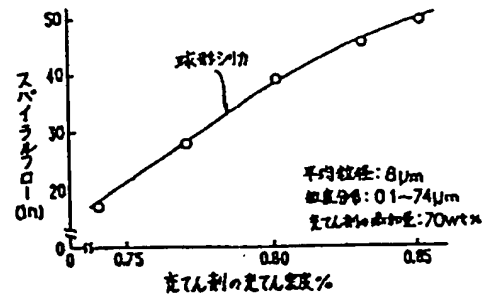
第 5 図



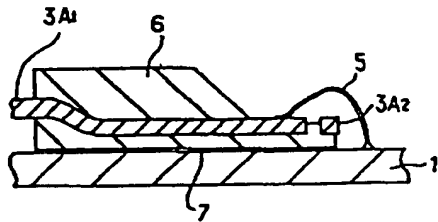
第9図



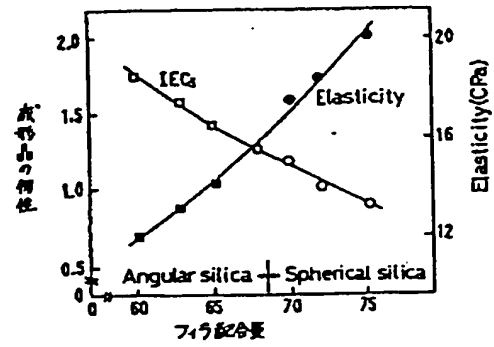
第12図



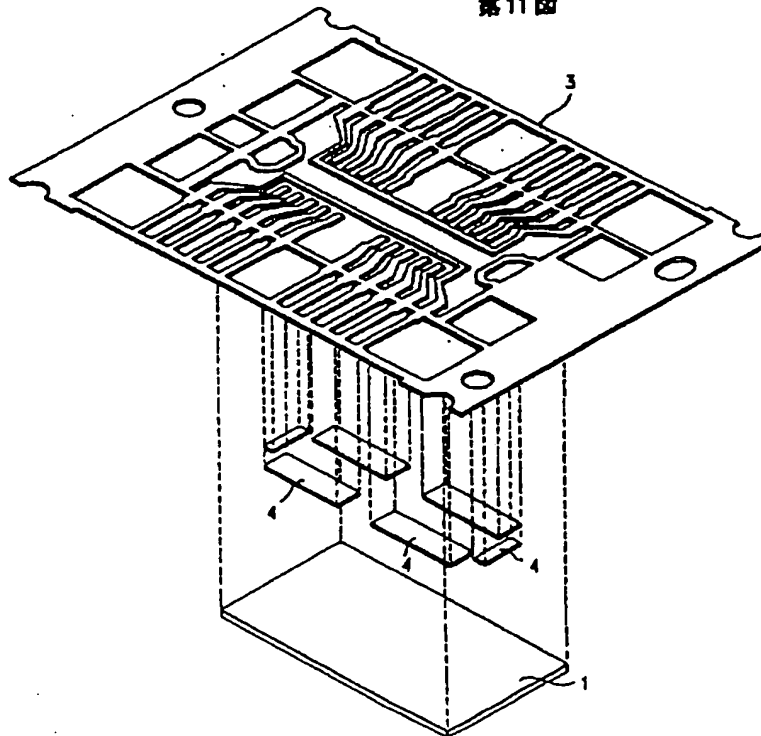
第10図



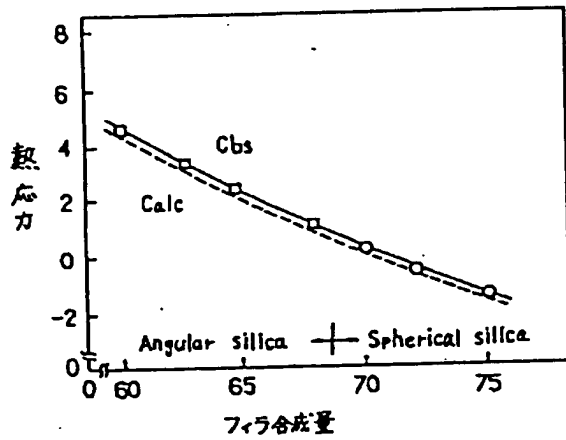
第13図



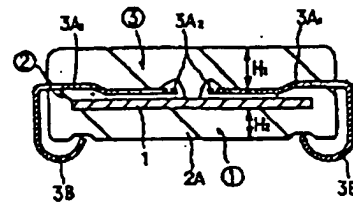
第11図



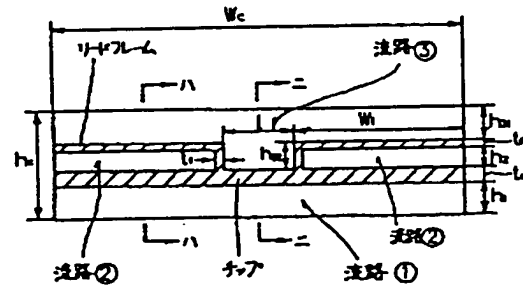
第14図



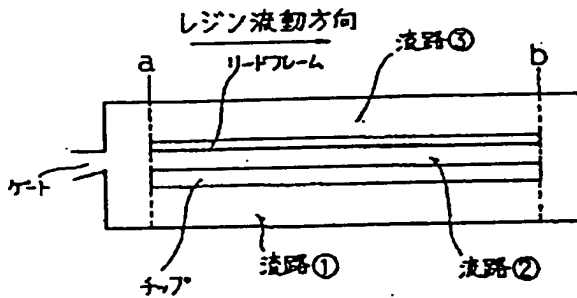
第15図



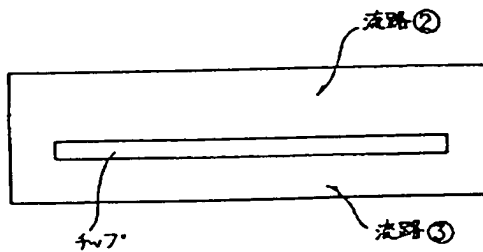
第16図



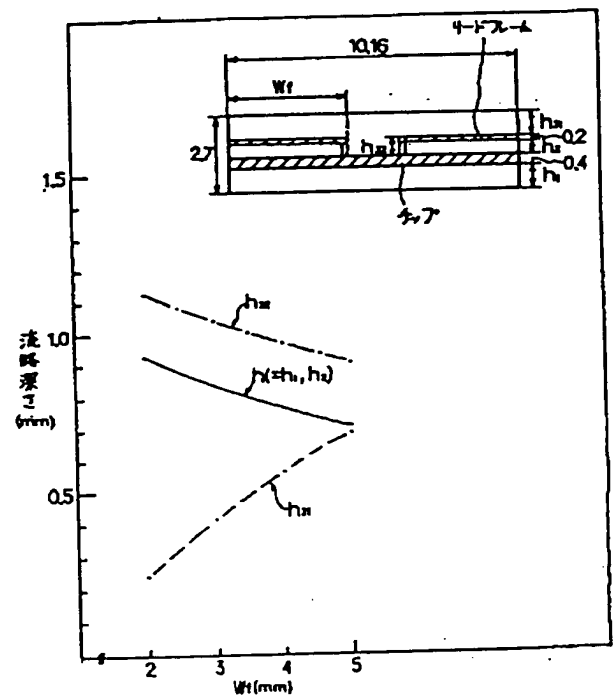
第17図



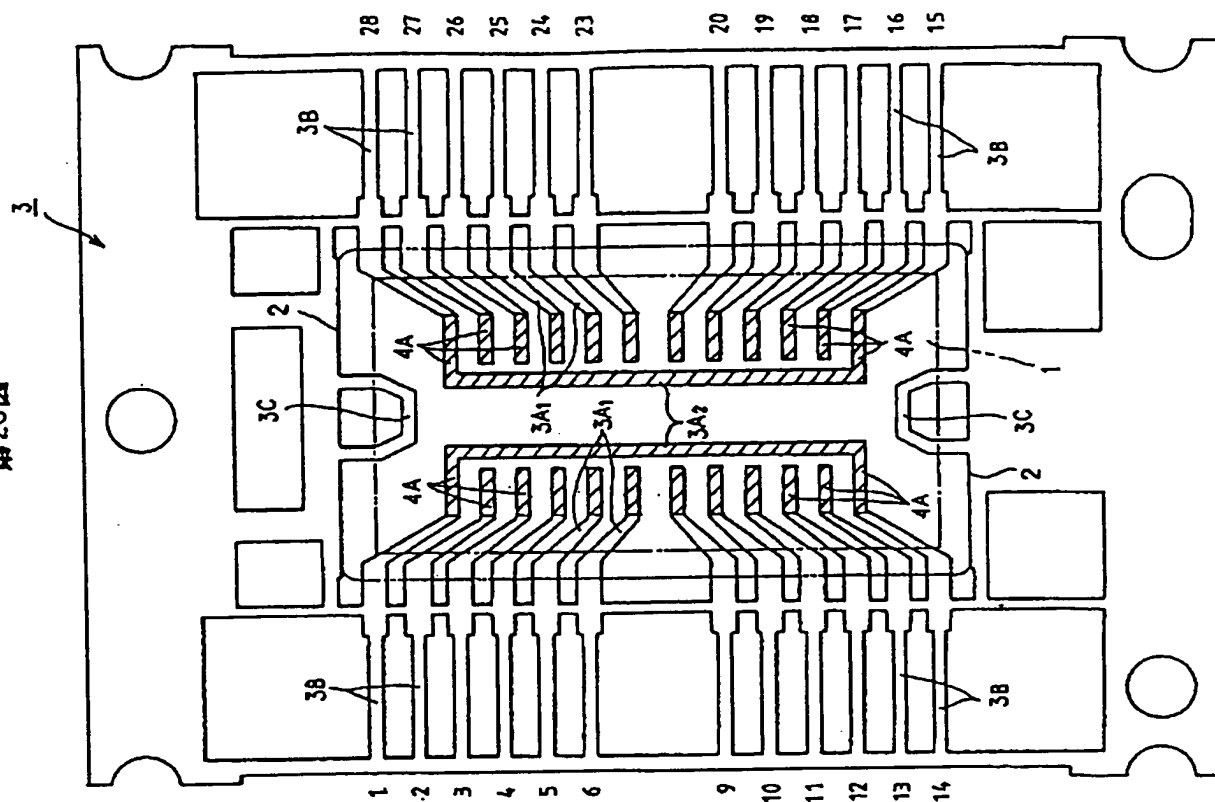
第18図



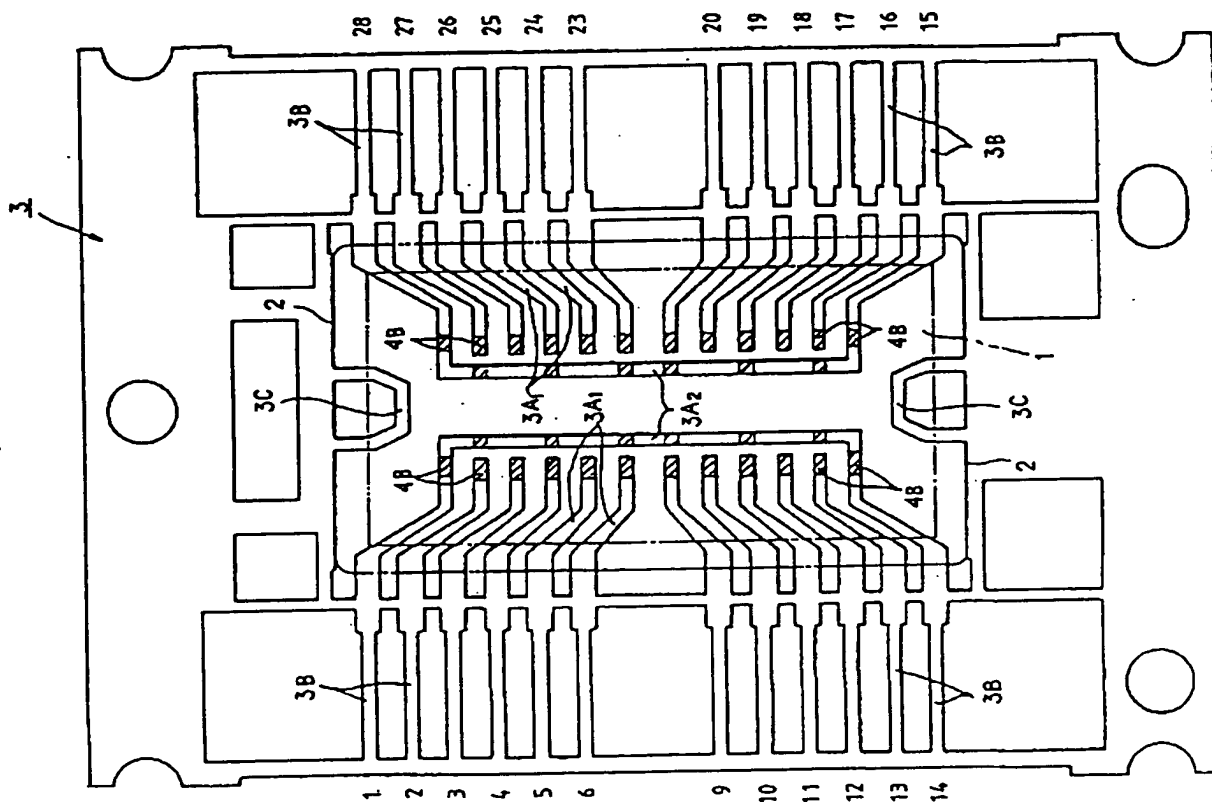
第19図



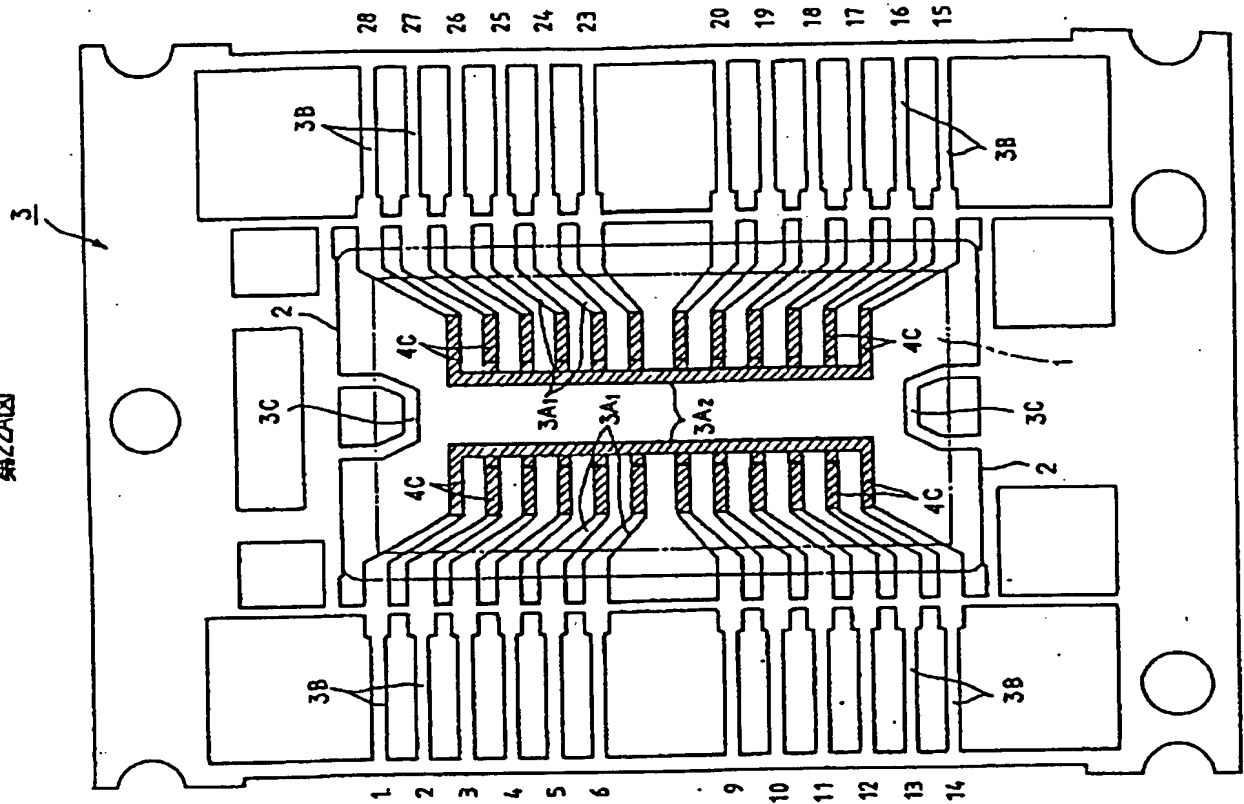
第20回



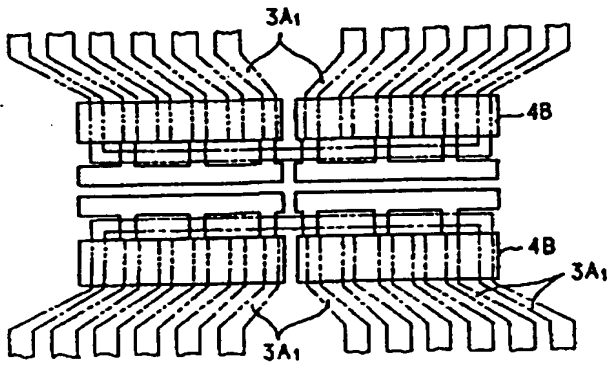
第21A区



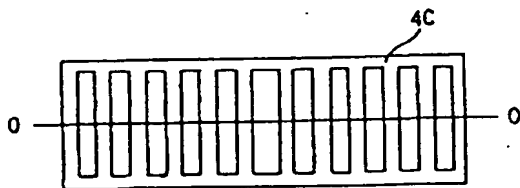
第22A図



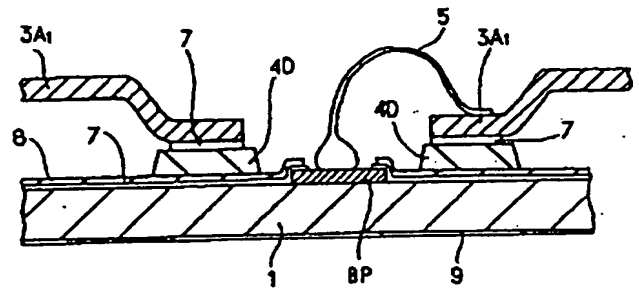
第21B図



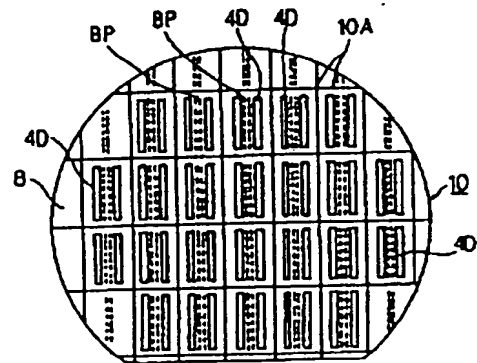
第22B図



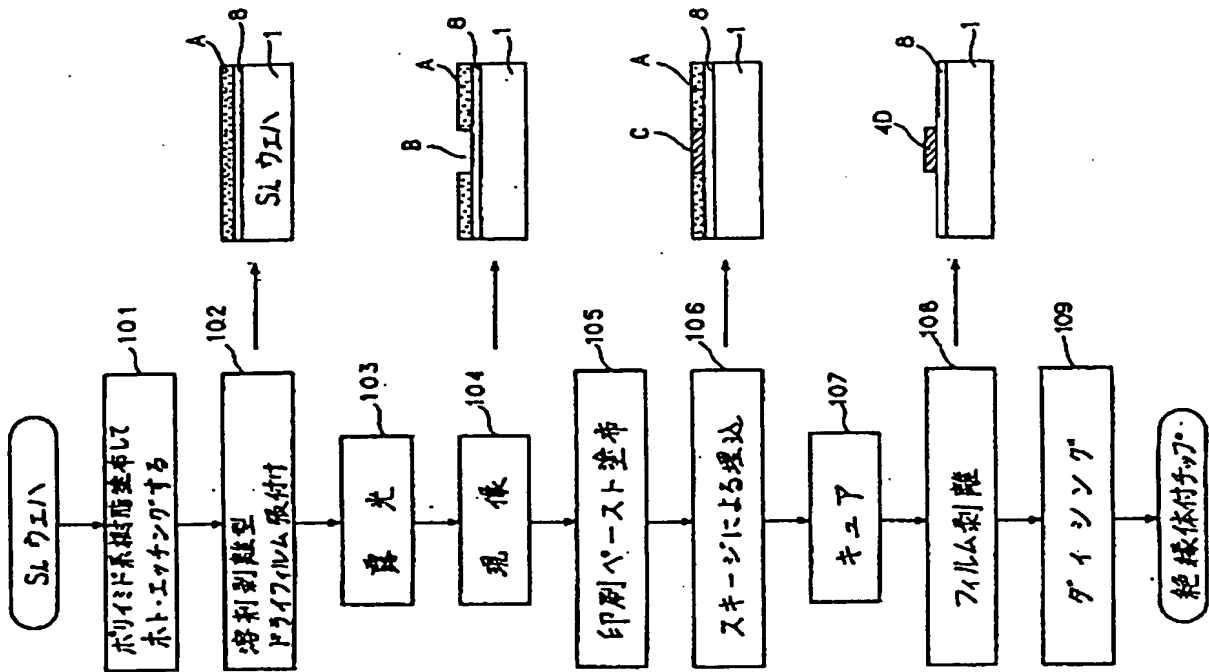
第23図



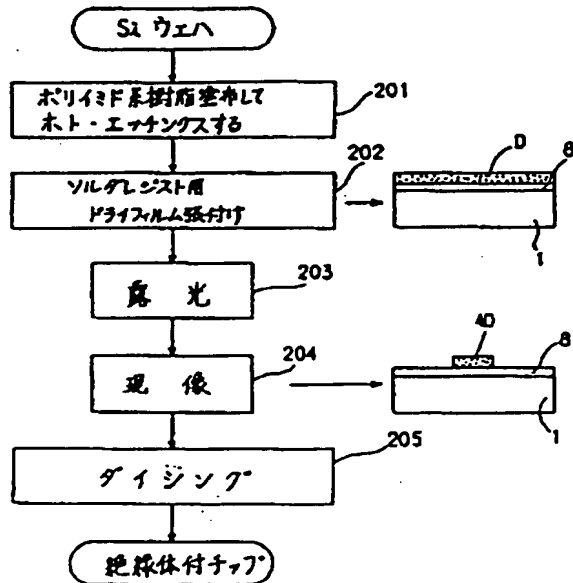
第25図



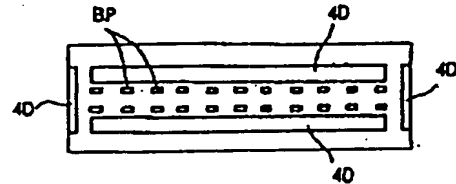
第24A図



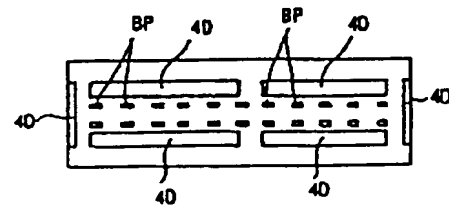
第24B図



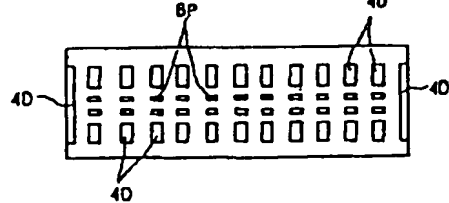
第26図



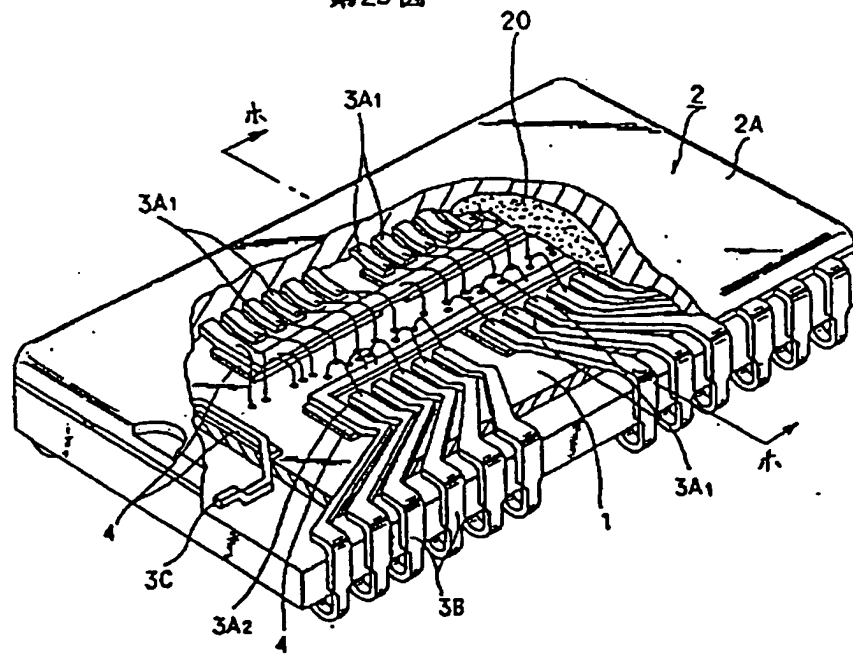
第27図



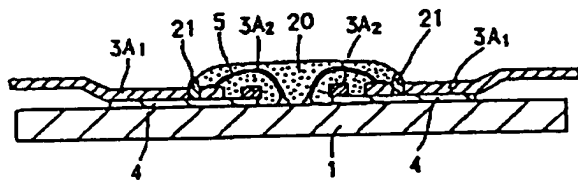
第28図



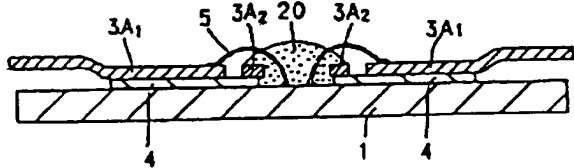
第29図



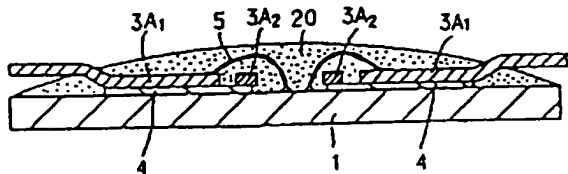
第30図



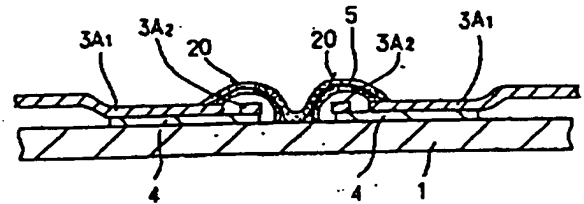
第31図



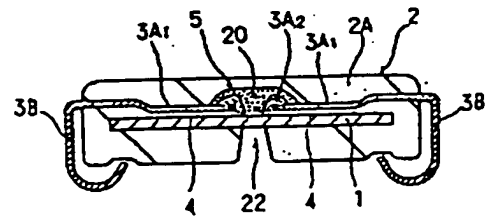
第32図



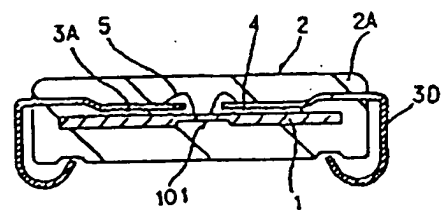
第33図

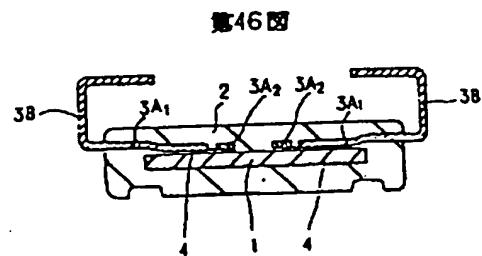
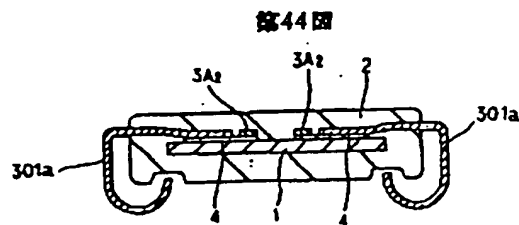
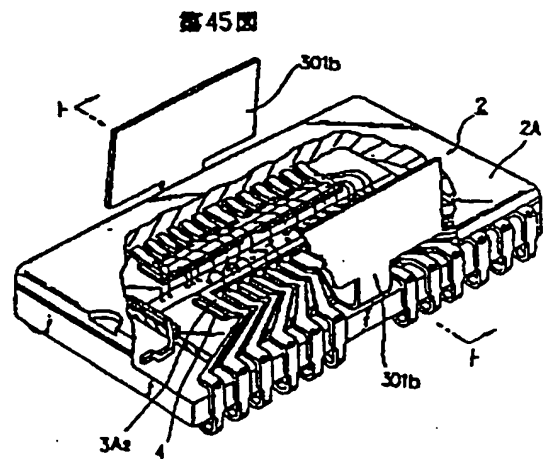
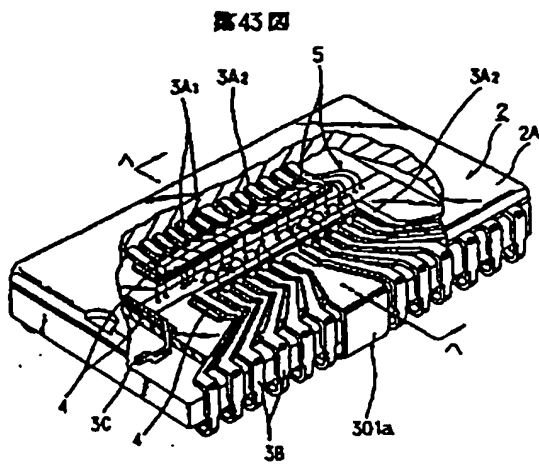
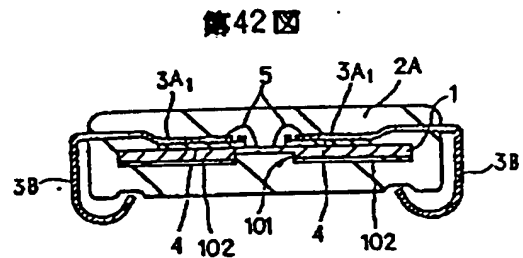
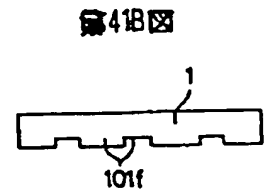
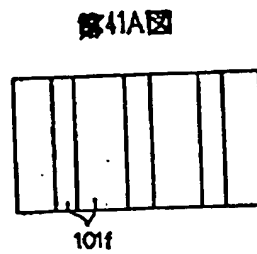
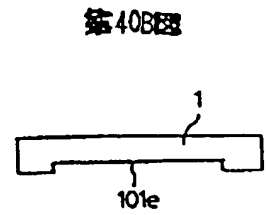
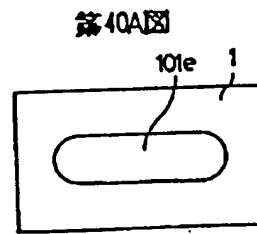
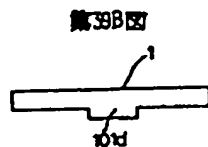
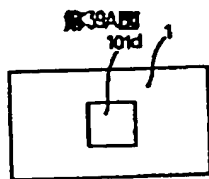
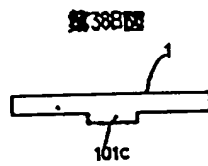
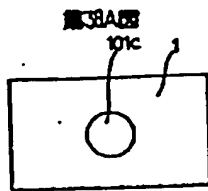
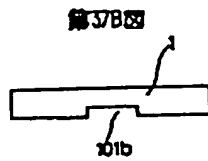
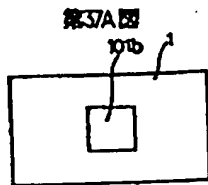
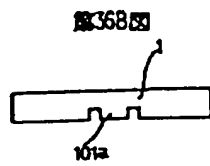
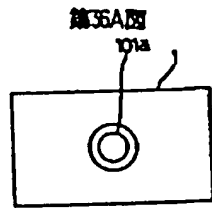


第34図

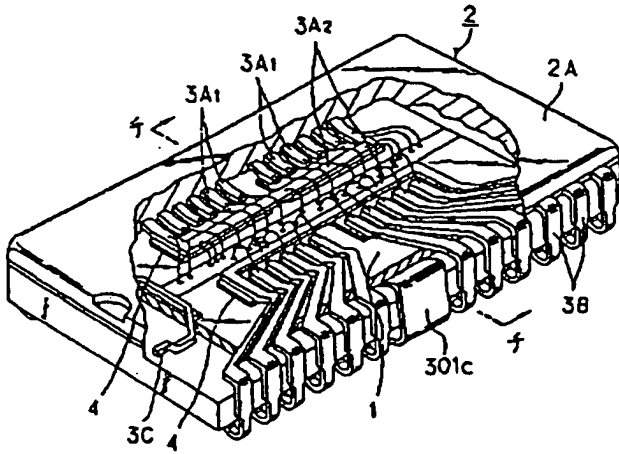


第35図

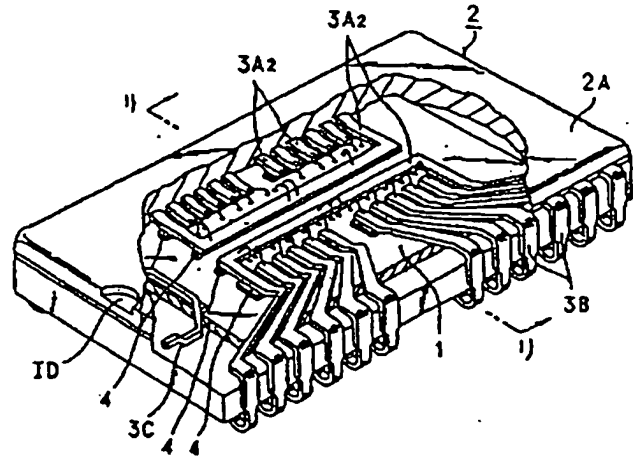




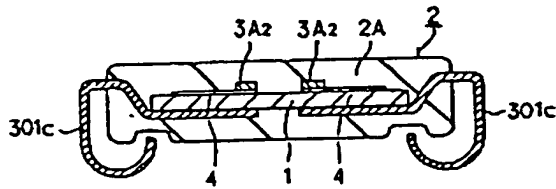
第47図



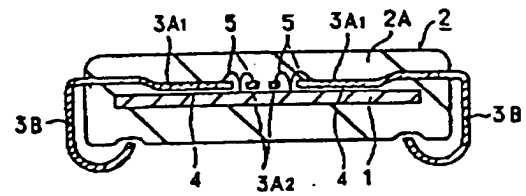
第49図



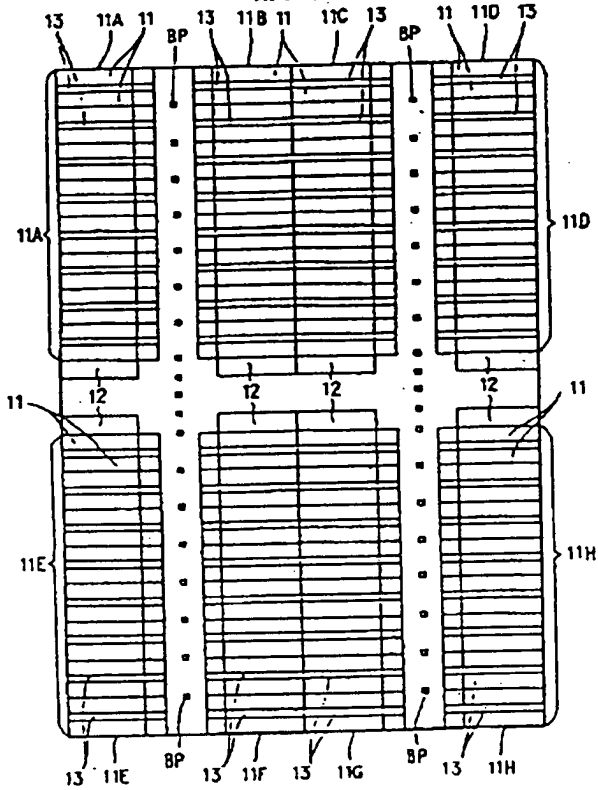
第48図



第50図



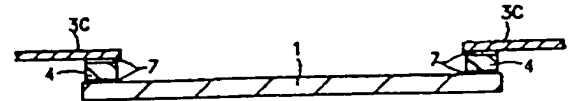
第51図



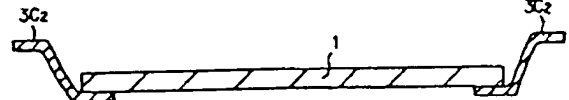
第54A図



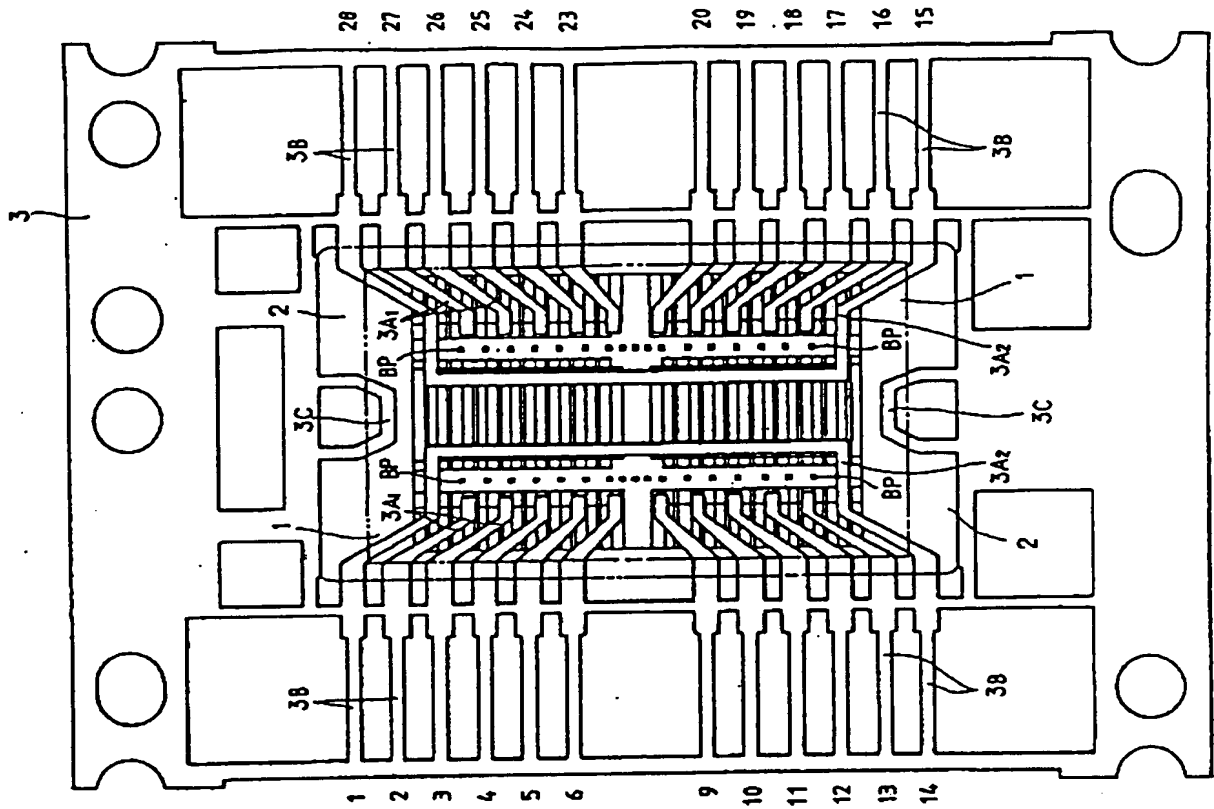
第54B図



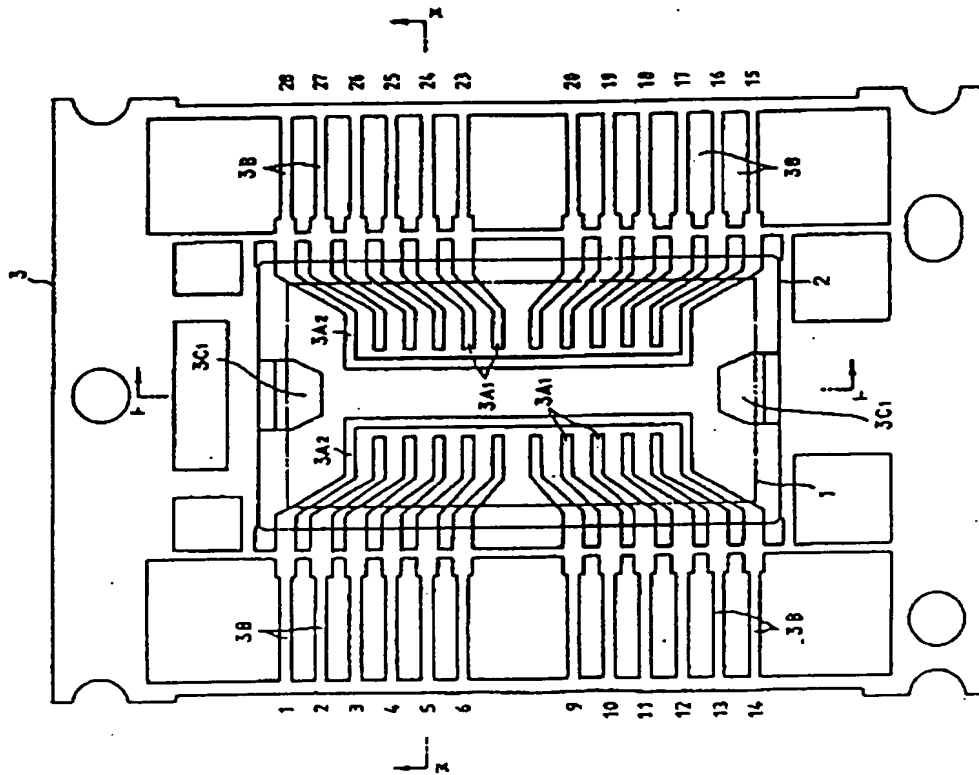
第54C図



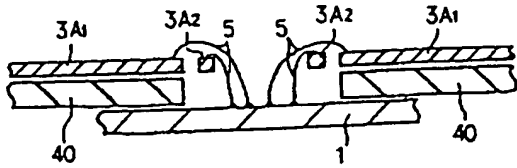
第52図



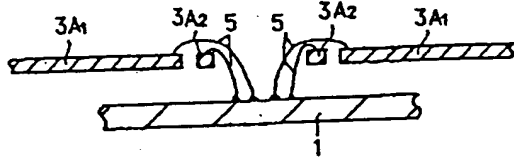
第53図



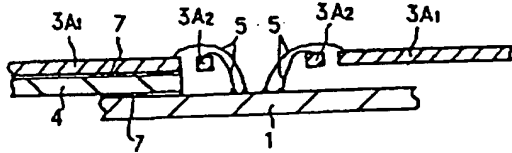
第55図



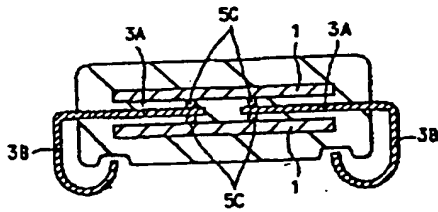
第56図



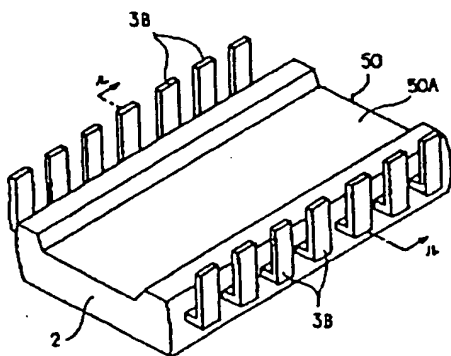
第57図



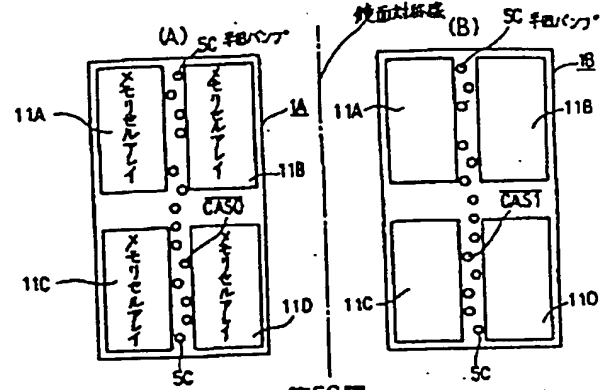
第60図



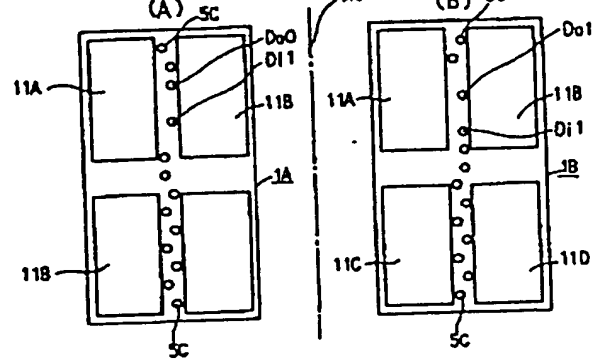
第61図



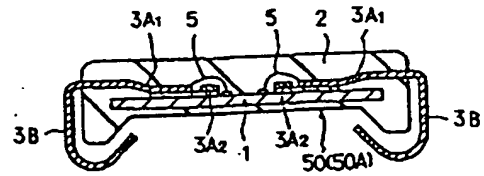
第58図



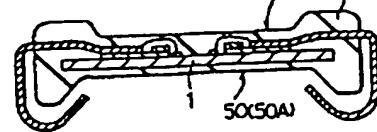
第59図



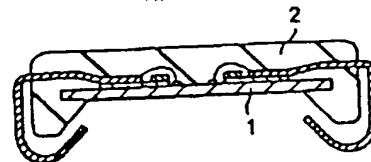
第62図



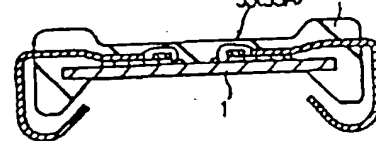
第63図



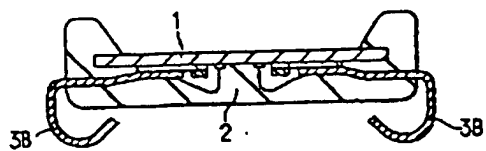
第64図



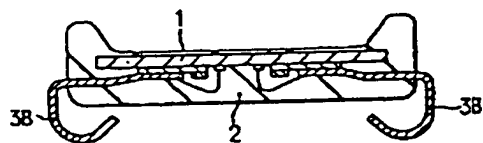
第65図



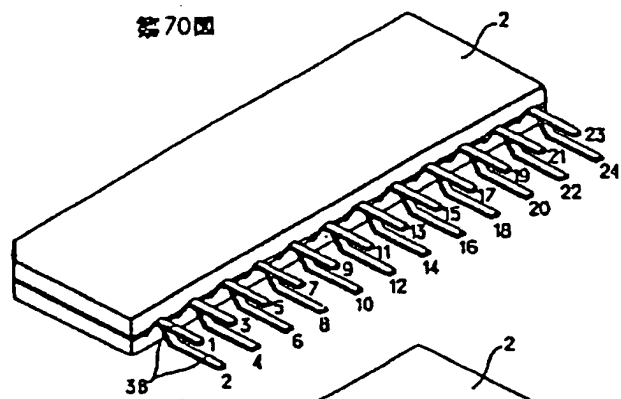
第66図



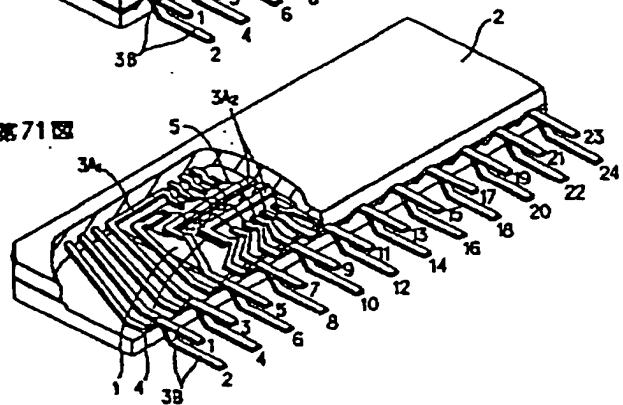
第67図



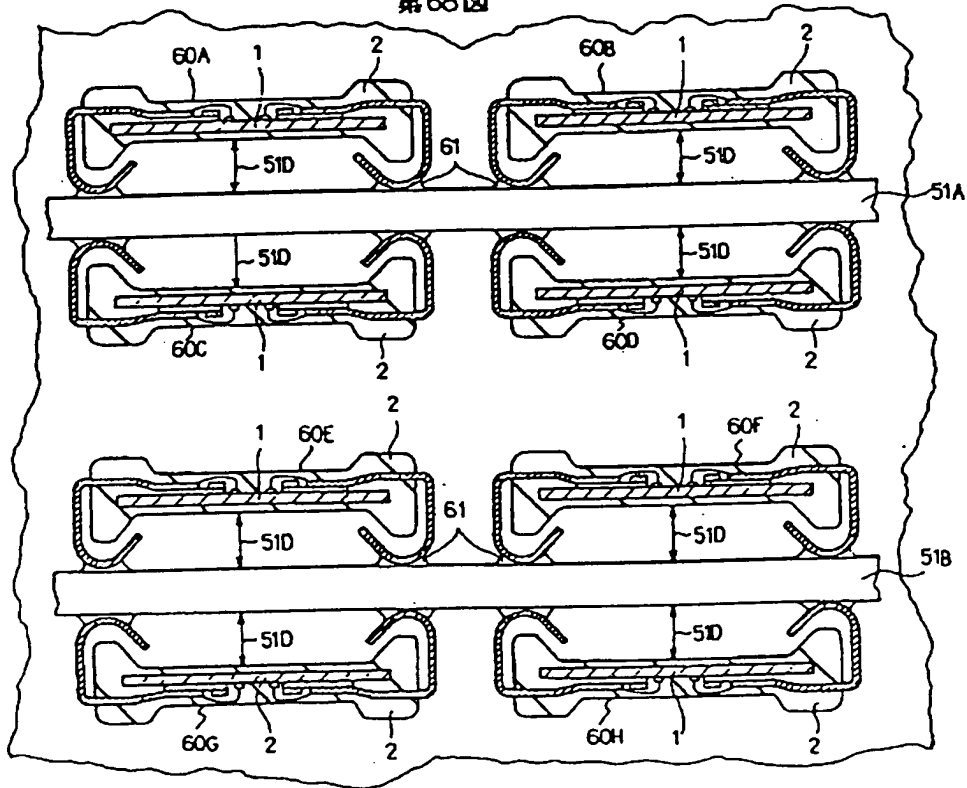
第70図



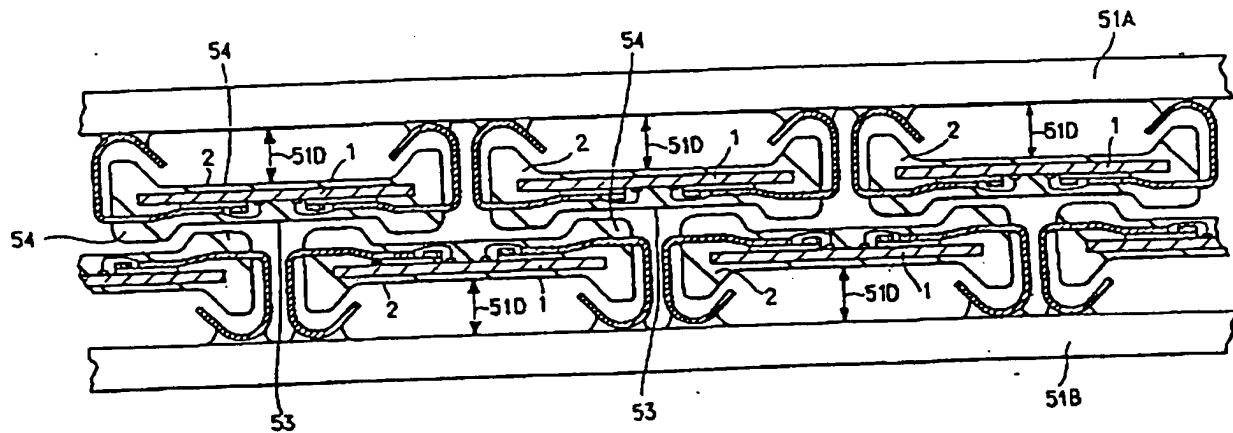
第71図



第68図



第69図



第1頁の続き

⑩発明者	安生	一郎	東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑪発明者	西村	朝雄	茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
⑫発明者	北野	誠	茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
⑬発明者	矢口	昭弘	茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
⑭発明者	河合	末男	茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
⑮発明者	尾形	正次	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑯発明者	江口	州志	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑰発明者	小角	博義	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑱発明者	瀬川	正則	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑲発明者	宝蔵寺	裕之	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑳発明者	横山	隆	茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑦発明者	金城	徳幸	茨城県日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑦発明者	金田	愛三	神奈川県横浜市戸塚区吉田町292番地	株式会社日立製作所生産技術研究所内
⑦発明者	佐伯	準一	神奈川県横浜市戸塚区吉田町292番地	株式会社日立製作所生産技術研究所内
⑦発明者	中村	省三	神奈川県横浜市戸塚区吉田町292番地	株式会社日立製作所生産技術研究所内
⑦発明者	長谷部	昭男	神奈川県横浜市戸塚区吉田町292番地	株式会社日立製作所生産技術研究所内
⑦発明者	菊地	廣	神奈川県横浜市戸塚区吉田町292番地	株式会社日立製作所生産技術研究所内
⑦発明者	吉田	勇	神奈川県横浜市戸塚区吉田町292番地	株式会社日立製作所生産技術研究所内